

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-144301

(43)Date of publication of application : 25.05.2001

(51)Int.Cl.

H01L 29/786
G02F 1/1343
G02F 1/1345
G02F 1/1368
H01L 21/3205
H01L 21/768
H01L 27/04
H01L 21/822
H04N 5/66

(21)Application number : 2000-253571

(71)Applicant : SEMICONDUCTOR ENERGY LAB CO LTD

(22)Date of filing : 24.08.2000

(72)Inventor : SHIBATA HIROSHI
ISOBE ATSUO

(30)Priority

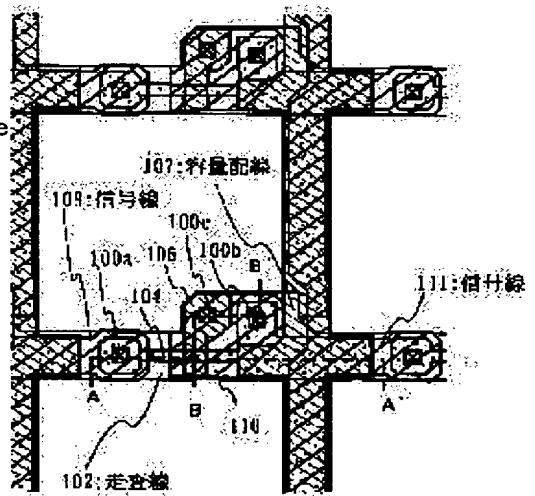
Priority number : 11246798 Priority date : 31.08.1999 Priority country : JP

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD FOR THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a liquid crystal display device of high display quality by assuring a sufficient retention capacitance (Cs) with a high aperture, while the load on a capacitor wiring (pixel write-in current) is distributed on time, base for effective reduction.

SOLUTION: A scanning line 102 is formed at a layer different from a gate electrode 106, and a capacitor wiring 107 is so arranged as to be parallel to a signal line 109. Since each pixel is connected to independent capacitor wiring 107 through a dielectrics, fluctuations in the electric potential of capacitor wiring due to write-in current of adjoining pixel is avoided and satisfactory display image is obtained.



Best Available Copy

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] On the 1st wiring and said 1st wiring on an insulating front face at said 1st insulator layer and 1st insulator layer top The semi-conductor film, The semiconductor device characterized by having the 3rd insulator layer and the 3rd wiring connected with said semi-conductor film on said 3rd insulator layer on the gate electrode connected with the 2nd wiring and said 1st wiring on the 2nd insulator layer and said 2nd insulator layer on said semi-conductor film, and said 2nd wiring and said gate electrode.

[Claim 2] The semiconductor device characterized by said semi-conductor film and said 2nd wiring lapping through said 2nd insulator layer in claim 1.

[Claim 3] The semiconductor device characterized by forming the retention volume which uses said 2nd insulator layer as a dielectric in the field with which said 2nd wiring and said semi-conductor film lap through said 2nd insulator layer in claim 1 or claim 2.

[Claim 4] The semiconductor device characterized by adding the impurity element which gives a conductivity type to the field which laps with said 2nd wiring through said 2nd insulator layer among said semi-conductor film in claim 1 thru/or any 1 of 3.

[Claim 5] The semiconductor device characterized by having the electrode which touches said semi-conductor film on said 3rd insulator layer, and a pixel electrode linked to this electrode in claim 1 thru/or any 1 of 4.

[Claim 6] Said 1st wiring is a semiconductor device characterized by being arranged in the direction in which said 2nd wiring intersects perpendicularly in claim 1 thru/or any 1 of 5.

[Claim 7] It is the semiconductor device characterized by being arranged in the direction in which said 3rd wiring and said 1st wiring cross at right angles in claim 1 thru/or any 1 of 6.

[Claim 8] It is the semiconductor device characterized by being formed in the layer in which said gate electrode differs from said 1st wiring in claim 1 thru/or any 1 of 7.

[Claim 9] It is the semiconductor device characterized by carrying out patterning of said gate electrode to the shape of an island in claim 1 thru/or any 1 of 8.

[Claim 10] It is the semiconductor device characterized by said 1st wiring being the scanning line in claim 1 thru/or any 1 of 9.

[Claim 11] It is the semiconductor device characterized by said 2nd wiring being capacity wiring in claim 1 thru/or any 1 of 10.

[Claim 12] It is the semiconductor device characterized by said 3rd wiring being a signal line in claim 1 thru/or any 1 of 11.

[Claim 13] It is the semiconductor device characterized by said 2nd insulator layer being gate dielectric film in claim 1 thru/or any 1 of 12.

[Claim 14] It is the semiconductor device characterized by consisting of film which uses as a principal component the element chosen from poly-Si, W and WSiX by which the impurity element with which said gate electrode gives a conductivity type in claim 1 thru/or any 1 of 13 was doped, and aluminum, Ta, Cr or Mo, or those cascade screens.

[Claim 15] The semiconductor device characterized by having two or more signal lines arranged by connecting with a signal-line drive circuit and separating predetermined spacing in parallel mutually, two

or more scanning lines arranged by connecting with a scanning-line drive circuit and separating predetermined spacing in parallel mutually, and said signal line and capacity wiring arranged at parallel. [Claim 16] It is the semiconductor device characterized by said signal line and said scanning line crossing at right angles in claim 15.

[Claim 17] The semiconductor device characterized by having the pixel electrode connected with the thin film transistor which has the gate electrode connected to the scanning line which intersects perpendicularly with said signal line in claim 16, and said transistor.

[Claim 18] It is the semiconductor device characterized by being formed in the layer in which said gate electrode differs from said scanning line in claim 15 thru/or any 1 of 17.

[Claim 19] It is the semiconductor device characterized by carrying out patterning of said gate electrode to the shape of an island in claim 15 thru/or any 1 of 18.

[Claim 20] The 1st process which forms the 1st wiring on the substrate which has an insulating front face, and the 2nd process which forms the 1st insulator layer on said 1st wiring, The 3rd process which forms the semi-conductor film on said 1st wiring, and the 4th process which forms the 2nd insulator layer on said semi-conductor film, The 5th process which forms the 1st contact hole which performs alternative etching to said 1st insulator layer and 2nd insulator layer, and reaches said 1st wiring, The 6th process which forms the gate electrode which connects with said 1st wiring through said 1st contact hole, and laps with said some of semi-conductor film on said 2nd insulator layer, Alternative etching is performed to the 7th process which forms the 3rd insulator layer on said gate electrode, and said 2nd insulator layer and 3rd insulator layer. The production approach of the semiconductor device characterized by having the 8th process which forms the 2nd contact hole which reaches said semi-conductor film, and the 9th process which forms the 3rd wiring connected with said semi-conductor film through said 2nd contact hole on said 3rd insulator layer.

[Claim 21] The production approach of the semiconductor device characterized by forming the 2nd wiring which laps with said some of semi-conductor film according to the same process as said gate electrode on said 2nd insulator layer in claim 20.

[Claim 22] The production approach of the semiconductor device characterized by having the process which makes thin partially said 2nd insulator layer which laps with said 2nd wiring in claim 20 or claim 21 after the process which forms the 2nd insulator layer on said semi-conductor film.

[Claim 23] It is the production approach of the semiconductor device characterized by said 2nd insulator layer being gate dielectric film in claim 20 thru/or any 1 of 22.

[Claim 24] It is the production approach of the semiconductor device characterized by said 1st wiring being the scanning line in claim 20 thru/or any 1 of 23.

[Claim 25] It is the production approach of the semiconductor device characterized by said 2nd wiring being capacity wiring in claim 20 thru/or any 1 of 24.

[Claim 26] It is the production approach of the semiconductor device characterized by said 3rd wiring being a signal line in claim 20 thru/or any 1 of 25.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] The invention in this application relates to the semiconductor device which has the circuit which consisted of thin film transistors (henceforth TFT), and its production approach. For example, it is related with the electronic equipment which carried as components the electro-optic device and such an electro-optic device which are represented by the liquid crystal display panel.

[0002] In addition, a semiconductor device points out the equipment at large which may function by using a semi-conductor property into this specification, and all of an electro-optic device, a semiconductor circuit, and electronic equipment are semiconductor devices.

[0003]

[Description of the Prior Art] In recent years, the technique which constitutes a thin film transistor (TFT) using the semi-conductor thin film (number of thickness – about hundreds of nm) formed on the substrate which has an insulating front face attracts attention. A thin film transistor is widely applied to an electron device like IC or an electro-optic device, and development is hurried especially as a switching element of a liquid crystal display.

[0004] In the liquid crystal display, in order to obtain a high-definition image, a pixel electrode is arranged in the shape of a matrix, and the active matrix liquid crystal display linked to each of a pixel electrode using TFT as a switching element attracts attention.

[0005] In order to display good quality, it is necessary to enable it to hold the potential of a video signal to each pixel electrode connected to TFT in this active matrix liquid crystal display till next writing. Generally, the potential of a video signal is held by having retention volume (Cs) in a pixel.

[0006] Although various proposals as the structure and its forming method of the above-mentioned retention volume (Cs) are made, it is desirable to use the gate dielectric film of TFT which is the highest quality insulator layer among the insulator layers which constitute a pixel as a dielectric of retention volume (Cs) from the simplicity of a production process and a viewpoint of dependability. In the former, as shown in drawing 18, capacity wiring which serves as an up electrode using the same wiring layer as the scanning line was prepared, and constituting retention volume (Cs) with an up electrode (capacity wiring) / dielectric layer (gate dielectric film) / lower electrode (semi-conductor film) was performed.

[0007] Moreover, high numerical aperture-ization is called for while giving big retention volume to a pixel from the field of the display engine performance. When each pixel has a high numerical aperture, the efficiency for light utilization of a back light improves, and as a result of being able to control the back light capacity for obtaining predetermined display brightness, power-saving and a miniaturization of a display can be attained. Moreover, when each pixel is equipped with big retention volume, the indicative-data maintenance property of each pixel improves, and display quality improves.

[0008] Such a demand has been a big technical problem, when advancing detailed-ization of each display pixel pitch in accordance with highly-minute-izing (increase of a pixel number) and a miniaturization of a liquid crystal display.

[0009] In addition, with the conventional pixel configuration mentioned above, there is a problem that coexistence of a high numerical aperture and big retention volume is difficult.

[0010]

[Problem(s) to be Solved by the Invention] The conventional example which carried out the conventional pixel configuration in the pixel size of 19.2 micrometer** according to the design rule of Table 1 is shown in drawing 18.

[0011]

[Table 1]

Si層: min. Size=0.8 μm , min. Spacing=1.5 μm
ゲート電極: min. Size=1.0 μm , min. Spacing=1.5 μm
走査線: min. Size=1.5 μm , min. Spacing=1.5 μm
信号線とSi層とのコンタクトホール: min. Size=1 μm □
コンタクトホールとSi層とのmargin=1.0 μm
コンタクトホールと走査線(ゲート電極)との間隔min. Spacing=1.3 μm
信号線: min. Size=1.5 μm , min. Spacing=1.5 μm
コンタクトホールと信号線とのmargin=1.3 μm
圖案サイズ: 19.2 μm □
圖案TFT: L=1.5 μm , W=0.8 μm , シングルゲート
走査線: 配線幅min. Size=1.0 μm
走査線: Si層乗り越え部における配線幅min. Size=1.5 μm
容量配線: min. Size=2.0 μm

[0012] It is the conventional description to arrange two (scanning line and capacity wiring) wiring in parallel on the relation which forms two, the scanning line and capacity wiring, continuously respectively. For the semi-conductor film and 11, as for a signal line and 13, in drawing 18, the scanning line and 12 are [10 / an electrode and 14] capacity wiring. In addition, drawing 18 simplifies the plan of a pixel and the contact hole which reaches the pixel electrode and electrode 13 linked to an electrode 13 is not illustrated.

[0013] When it considers as the retention volume configuration by such an up electrode (capacity wiring) / dielectric layer (gate dielectric film) / a lower electrode (semi-conductor film), all circuit elements (Pixel TFT, retention volume, contact hole, etc.) required for the circuitry of a pixel become a gate-dielectric-film-related thing, and these components that constitute a circuit element are arranged almost superficially in each pixel.

[0014] In order to obtain both the high numerical aperture of each pixel, and big retention volume from this in regular pixel size, it is indispensable to arrange a circuit element required for the circuitry of a pixel efficiently. Since all circuit elements are gate-dielectric-film-related things, this can put in another way the use effectiveness of gate dielectric film as improving being indispensable.

[0015] It is drawing 19 which expressed the flat-surface layout effectiveness in the circuitry of a pixel in the example of drawing 18 from such a viewpoint. Among drawing 19, in a pixel opening field and 23, a retention volume field and 24 show area A, and, as for 21, 25 shows [a simple substance pixel field and 22] the part and contact field of TFT.

[0016] It consists of drawing 19 to 2 (58.8% of numerical apertures) 2 a part of 2, TFT, and area area [of 64.2 micrometers / of 42.2 micrometers] an area [of 2 and area A 24] of 34.1 micrometers of the contact field 25 of the retention volume field 23 an area of 216.7 micrometers of the pixel opening field 22.

[0017] It is the isolation region of the scanning line resulting from this area A 24 arranging in parallel the wiring section and the scanning line which connect mutually the field currently committed as a gate electrode of TFT, and capacity wiring, and capacity wiring, and the gate dielectric film of area A cannot give an original function, but has become the cause of reducing layout effectiveness.

[0018] Furthermore, in the case of the above-mentioned structure, there is a problem to which the demand to capacity wiring resistance becomes severe.

[0019] In the usual liquid crystal display drive, the writing of the potential of a video signal (in the case of a line sequential drive) is performed to two or more pixels of each connected to each scanning line continuously (in the case [Dot order] of degree drive) in the direction of the scanning line at coincidence.

[0020] Under the present circumstances, since two or more pixels from which capacity wiring is connected to each scanning line on the relation arranged in parallel with the scanning line with the above-mentioned pixel configuration are connected to common capacity wiring, In order for the opposite current corresponding to a pixel write-in current to flow to coincidence continuously by two or more

pixels and to avoid deterioration of the display quality by potential fluctuation of capacity wiring for corresponding capacity wiring, it is necessary to fully lower capacity wiring resistance.

[0021] However, extending line breadth for the reduction in resistance of capacity wiring resistance had spoiled the numerical aperture of a pixel, while expanding the area which retention volume occupies.

[0022] This invention offers a liquid crystal display with high display quality by giving a solution to an above-mentioned problem from a design side, securing sufficient retention volume (Cs), obtaining a high numerical aperture, and distributing the load (pixel write-in current) of capacity wiring in time to coincidence, and decreasing effectually.

[0023]

[Means for Solving the Problem] The configuration of invention indicated on these specifications on the 1st wiring and said 1st wiring on an insulating front face The 1st insulator layer, On the semi-conductor film and said semi-conductor film on said 1st insulator layer at said 2nd insulator layer and 2nd insulator layer top The 2nd wiring, It is the semiconductor device characterized by having the 3rd insulator layer and the 3rd wiring connected with said semi-conductor film on said 3rd insulator layer on the gate electrode linked to said 1st wiring, and said 2nd wiring and said gate electrode.

[0024] Moreover, in the above-mentioned configuration, it is characterized by said semi-conductor film and said 2nd wiring lapping through said 2nd insulator layer.

[0025] Moreover, in each above-mentioned configuration, it is characterized by forming the retention volume which uses said 2nd insulator layer as a dielectric in the field with which said 2nd wiring and said semi-conductor film lap through said 2nd insulator layer.

[0026] Moreover, in each above-mentioned configuration, it is characterized by adding the impurity element which gives a conductivity type (p mold or n mold) to a semi-conductor in the field which laps with said 2nd wiring through said 2nd insulator layer among said semi-conductor film.

[0027] Moreover, in each above-mentioned configuration, it is characterized by having the electrode which touches said semi-conductor film on said 3rd insulator layer, and a pixel electrode linked to this electrode.

[0028] Moreover, in each above-mentioned configuration, said 1st wiring is characterized by being arranged in the direction which intersects perpendicularly with said 2nd wiring.

[0029] Moreover, in each above-mentioned configuration, said 1st wiring is characterized by being arranged in the direction which intersects perpendicularly with said 3rd wiring. Namely, in the pixel section, said 2nd wiring and said 3rd wiring are arranged in the parallel direction (the direction of Y), and the 1st wiring is arranged in the direction (the direction of X) which intersects perpendicularly with these wiring.

[0030] Moreover, in each above-mentioned configuration, said gate electrode is characterized by being formed in a different layer from said 1st wiring.

[0031] Moreover, in each above-mentioned configuration, said gate electrode is characterized by carrying out patterning to the shape of an island.

[0032] Moreover, in each above-mentioned configuration, said 1st wiring is the scanning line. This scanning line has lapped with said some of semi-conductor film through said 1st insulator layer, and the duty of the light-shielding film which interrupts the light to the semi-conductor film is achieved.

[0033] Moreover, in each above-mentioned configuration, said 2nd wiring is capacity wiring.

[0034] Moreover, in each above-mentioned configuration, said 3rd wiring is a signal line.

[0035] Moreover, in each above-mentioned configuration, said 2nd insulator layer is gate dielectric film.

[0036] Moreover, in each above-mentioned configuration, said gate electrode is characterized by consisting of film which uses as a principal component the element chosen from poly-Si, W and WSiX by which the impurity element which gives a conductivity type was doped, and aluminum, Ta, Cr or Mo, or those cascade screens.

[0037] Moreover, the configuration of other invention is a semiconductor device characterized by having two or more signal lines arranged by connecting with a signal-line drive circuit and separating

predetermined spacing in parallel mutually, two or more scanning lines arranged by connecting with a scanning-line drive circuit and separating predetermined spacing in parallel mutually, and said signal line and capacity wiring arranged at parallel.

[0038] Moreover, in the above-mentioned configuration, said scanning line is characterized by intersecting perpendicularly with said signal line.

[0039] Moreover, in the above-mentioned configuration, it is characterized by having the pixel electrode connected with the thin film transistor which has the gate electrode connected to the scanning line which intersects perpendicularly with said signal line, and said transistor.

[0040] Moreover, in each above-mentioned configuration, said gate electrode is characterized by being formed in a different layer from said scanning line.

[0041] Moreover, in each above-mentioned configuration, said gate electrode is characterized by carrying out patterning to the shape of an island.

[0042] Moreover, the configuration of invention for realizing the above-mentioned structure The 1st process which forms the 1st wiring on the substrate which has an insulating front face, and the 2nd process which forms the 1st insulator layer on said 1st wiring, The 3rd process which forms the semi-conductor film on said 1st wiring, and the 4th process which forms the 2nd insulator layer on said semi-conductor film, The 5th process which forms the 1st contact hole which performs alternative etching to said 1st insulator layer and 2nd insulator layer, and reaches said 1st wiring, The 6th process which forms the gate electrode which connects with said 1st wiring through said 1st contact hole, and laps with said some of semi-conductor film on said 2nd insulator layer, Alternative etching is performed to the 7th process which forms the 3rd insulator layer on said gate electrode, and said 2nd insulator layer and 3rd insulator layer. It is the production approach of the semiconductor device characterized by having the 8th process which forms the 2nd contact hole which reaches said semi-conductor film, and the 9th process which forms the 3rd wiring connected with said semi-conductor film through said 2nd contact hole on said 3rd insulator layer.

[0043] Moreover, in the above-mentioned configuration, it is characterized by forming the 2nd wiring which laps with said some of semi-conductor film according to the same process as said gate electrode on said 2nd insulator layer.

[0044] Moreover, in the above-mentioned configuration, it is characterized by having the process which makes thin partially said 2nd insulator layer which laps with said 2nd wiring after the process which forms the 2nd insulator layer on said semi-conductor film.

[0045] Moreover, for said 2nd insulator layer, in the above-mentioned configuration, gate dielectric film and said 1st wiring are [capacity wiring and said 3rd wiring of the scanning line and said 2nd wiring] signal lines.

[0046]

[Embodiment of the Invention] The operation gestalt of the invention in this application is explained below.

[0047] It is characterized by forming the scanning line in a different layer from a gate electrode in order to aim at increase of retention volume while this invention raises a numerical aperture. An example of the pixel configuration of this invention was shown in drawing 1 .

[0048] In drawing 1 , patterning of the gate electrode 106 is carried out to the shape of an island, and it is connected with the scanning line 102 through contact hole 100c formed in the insulator layer. Moreover, the semi-conductor film 104 is connected with the signal line 109 through contact hole 100a. Moreover, the semi-conductor film 104 is connected with the electrode 110 through contact hole 100b. Moreover, the field of the semi-conductor film which touches a signal line 109 or an electrode 110 is called the source field or the drain field. Moreover, the channel formation field is formed between the source field and the drain field, and the gate electrode 106 exists through gate dielectric film on a channel formation field. In addition, the source field, the drain field, and the channel formation field are not illustrated for simplification.

[0049] Moreover, in this invention, as shown in drawing 1 , when the scanning line 102 is formed in the lower layer of the gate electrode 106, since the scanning line 102 is formed in the lower layer of the semi-conductor film 104, it is possible to also make it function as a light-shielding film. Moreover, retention volume uses a lower electrode as the semi-conductor film, uses a wrap insulator layer as a dielectric for the semi-conductor film, and forms an up electrode as capacity wiring 107. In addition, increase of retention volume may be aimed at by thin-film-izing a wrap insulator layer for the semi-conductor film partially.

[0050] Moreover, according to this configuration, TFT of each pixel can be made into the upper part of a channel formation field, and the dual gate structure caudad equipped with the gate electrode through the insulator layer, and it can improve the property of TFT by setting the 1st insulator layer as suitable thickness, controlling the parasitic capacitance formed with the scanning line and other wiring.

[0051] Moreover, it is characterized by unlike the former (capacity wiring being parallel to the scanning line), arranging this invention so that capacity wiring may become a signal line and parallel. Therefore, although the writing of a video signal is continuously performed to the pixel corresponding to each scanning line from a drive method, respectively since it connects with the retention volume formed with independent capacity wiring, each pixel which corresponds in this case can avoid fluctuation of the capacity wiring potential by the write-in current of a contiguity pixel, and can obtain a good display image.

[0052] Moreover, although sample hold capacity was prepared in each signal line in order to prevent the fall of the signal-line potential in each scanning-line write-in period (write-in potential) conventionally Since it is arranged so that capacity wiring may be parallel to a signal line and may lap in this invention, and the parasitic capacitance of a signal line increases and the maintenance property of signal-line potential improves, it becomes unnecessary to prepare sample hold capacity in the circumference circuit section, and a circumference circuit can be miniaturized compared with the former.

[0053] Moreover, since the military requirement to capacity wiring resistance is eased by the same reason, when the width of face of selection of the increase of arrangement and size of capacity wiring, and the design degree of freedom of thickness and a capacity wiring material spreads, the difficulty on a design and the difficulty on manufacture fall, and it leads also to obtaining the higher manufacture yield.

[0054] Suppose that still more detailed explanation is given about the invention in this application which becomes with the above configuration as it is also at the example shown below.

[0055]

[Example] The liquid crystal display of a point sequential drive of a projection mold is explained for the example of this invention for an example below the [example 1].

[0056] The active matrix liquid crystal display using TFT as a switching element has structure which carried out opposite arrangement of the substrate (TFT substrate) with which the pixel electrode has been arranged in the shape of a matrix, and the opposite substrate with which the counterelectrode was formed through the liquid crystal layer. It was controlled by predetermined spacing through the spacer etc. between both substrates, and the liquid crystal layer is enclosed by using a sealant for the periphery section of the pixel section.

[0057] Drawing 4 is cross-section structural drawing showing the outline of the liquid crystal display of this example. In drawing 4 101 the scanning line and 103 for a substrate (TFT substrate) and 102 The 1st insulator layer, 104 gate dielectric film (the 2nd insulator layer) and 106 for the semi-conductor film and 105 A gate electrode, It is an electrode for connecting with the semi-conductor film through the electrode with which capacity wiring branched in 107 and 108 branched from the signal line or the signal line as for the 3rd insulator layer, and 109 and 111, and the contact hole (not shown) where 110 was formed in the 3rd insulator layer, and connecting TFT and a pixel electrode.

[0058] In addition, into this specification, "electrodes" is some "wiring" and points out the part which performs electrical installation with other wiring, or the part which intersects a semi-conductor layer. Therefore, for convenience, although "wiring" and an "electrode" are used properly, "wiring" shall

always be included in the **** an "electrode" of explanation.

[0059] In addition, in this specification, TFT is defined as the part shown by 101-110. Moreover, in 109 and 110, it may be the electrode which branched from wiring, or you may be wiring.

[0060] Moreover, the pixel electrode which the light-shielding film from which 112 prevents TFT and the 4th insulator layer of a wrap and 113 prevent the photodegradation of TFT, and 114 led the 5th insulator layer, and 115 led contact hole 100d, and was connected with the electrode 110, and 116 are orientation film to which orientation of the liquid crystal layer 117 is carried out.

[0061] Moreover, in drawing 4 , although a counterelectrode 119 and the orientation film 118 were formed in the opposite substrate 120, a light-shielding film and a color filter may be prepared if needed.

[0062] This substrate (TFT substrate) 101 is equipped with the pixel section 201, and the scanning-line drive circuit 202 and the signal-line drive circuit 203 formed around it as shown in drawing 2 .

[0063] The scanning-line drive circuit 202 is mainly constituted by the shift register which carries out the sequential transfer of the scan signal. Moreover, after the signal-line drive circuit 203 samples the video signal inputted based on a shift register and a shift register output, it is mainly constituted by the sample hold circuit which holds and drives a signal line.

[0064] Two or more scanning lines 207 which were connected to the pixel section 201 in the scanning-line drive circuit 202, and have been mutually arranged at the predetermined spacing in parallel (gate wiring), While two or more signal lines 208 which were connected to the signal-line drive circuit 203, and have been arranged at the predetermined spacing in parallel cross, are arranged and arrange TFT (not shown) in each of the crossing location The pixel electrode (not shown) is arranged to each field divided with the scanning line and a signal line. Each pixel electrode serves as matrix-like arrangement from this configuration. Moreover, two or more capacity wiring 209 connected to GND (touch-down) or the fixed potential 206 is formed in parallel with a signal line 208. In addition, in drawing 2 , several are illustrating a signal line, the scanning line, and capacity wiring for simplification.

[0065] Hereafter, the making process of the semiconductor device shown in drawing 4 is shown simple. In addition, drawing 3 and drawing 1 are also used for explanation.

[0066] First, the quartz substrate and plastic plate other than a glass substrate can be used for a substrate 101. When using a glass substrate, you may heat-treat beforehand at temperature lower about 10-20 degrees C than the point [distortion / glass]. Moreover, it is good to form the substrate film which consists of insulator layers, such as silicon oxide film, a silicon nitride film, or an oxidation silicon nitride film, in the front face which forms TFT of a substrate 101, in order to prevent the impurity diffusion from a substrate 101.

[0067] Next, the electric conduction film is formed on a substrate and the scanning line 102 is formed by performing patterning. Conductive ingredients, such as WSiX (X=2.0-2.8), and aluminum, Ta, W, Cr, Mo, and the laminated structure of those can be used. [poly-Si by which the impurity element which gives a conductivity type was doped as the scanning line 102, and] In this example, the scanning line 102 was formed at the predetermined spacing with the conductive ingredient with the high protection-from-light nature of the laminated structure of WSiX(thickness: 100nm)/poly-Si (thickness: 50nm).

[0068] Next, the 1st insulator layer 103 which covers the scanning line 102 and has about 500nm thickness is formed. The insulator layer containing the silicon formed by the plasma-CVD method or the spatter is used for this 1st insulator layer 103. Moreover, what is necessary is just to form this 1st insulator layer by the organic insulating material ingredient film, the silicon oxide film, the oxidation silicon nitride film, the silicon nitride film, or the cascade screen that combined these.

[0069] Subsequently, the semi-conductor film with a thickness of 25-80nm (preferably 30-60nm) is formed by well-known approaches, such as a plasma-CVD method and a spatter, and patterning is carried out to a desired configuration. In this example, the amorphous silicon film was formed in thickness of about 50nm by the plasma-CVD method, and after performing the process of crystallization by the well-known approach and forming the crystalline substance silicon film (poly-Si), patterning was performed in the shape of an island. In this example, although the crystalline substance silicon film

(poly-Si) was used, especially if it is the semi-conductor film, it will not be limited.

[0070] In addition, the "semi-conductor film" has pointed out the single crystal semiconductor film, crystalline substance semi-conductor film (poly-Si etc.), amorphous semiconductor film (a-Si etc.), or the microcrystal semi-conductor film into this specification, and compound semiconductor film, such as silicon germanium film, is also included further.

[0071] Subsequently, the 2nd insulator layer (gate dielectric film) 105 is formed using the insulator layer containing the silicon formed by the plasma-CVD method or the sputter, or the oxide film formed by thermal oxidation of semi-conductor film (Si film etc.). This 2nd insulator layer 105 is good also as a laminated structure which consists of two or more layers which it said if needed were a bilayer or three layers.

[0072] Subsequently, since TFT which obtains the function of a video-signal write-in switch using the semi-conductor film of the shape of each island is constituted, the impurity elements (Lynn or boron) which give n mold or p mold alternatively to the semi-conductor film are added using a well-known technique, and a low resistance field is further formed with the source field of low resistance, and a drain field. This low resistance field is some semi-conductor film which adds an impurity element (typically Lynn or boron) like a drain field, and is formed into low resistance. In addition, especially the process sequence that adds an impurity element alternatively is not limited, for example, should just be before the 1st insulator layer formation and gate electrode formation or after gate electrode formation. In addition, it is good also as a configuration which forms a LDD field and an offset field according to a circuit. In addition, illustration of each field is omitted for simplification.

[0073] In this way, the channel formation field inserted into the semi-conductor film 104 to the source field and the drain field is formed.

[0074] Subsequently, 1st contact hole 100c (shown in drawing 3 (b)) which performs alternative etching to the 1st insulator layer 103 and the 2nd insulator layer 105, and reaches the scanning line 102 is formed.

[0075] Subsequently, the electric conduction film is formed on the 2nd insulator layer 105, and the gate electrode 106 and the capacity wiring 107 are formed by performing patterning. The gate electrode 106 and the capacity wiring 107 are formed by about 300nm thickness by conductive ingredients, such as WSiX (X=2.0-2.8), and aluminum, Ta, W, Cr, Mo, and the laminated structure of those. [poly-Si by which the impurity element which gives a conductivity type was doped, and] Moreover, although the gate electrode 106 and the capacity wiring 107 may be formed by the monolayer, it is good also as a laminated structure which consists of two or more layers which it said if needed were a bilayer or three layers. Under the present circumstances, each gate electrode arranged in the shape of an island is electrically connected to the scanning line 102 through 1st contact hole 100c formed in the 1st insulator layer 103 and the 2nd insulator layer 105.

[0076] Moreover, on the channel formation field of each pixel, the island-like gate electrode 106 is arranged through the 2nd insulator layer 105. Moreover, on a low resistance field, the capacity wiring 107 is arranged through the 2nd insulator layer 105. In addition, the process which thin-film-izes partially the field of the 2nd insulator layer 105 which laps with the capacity wiring 107 may be added, and increase of retention volume may be aimed at. Moreover, the capacity wiring 107 is arranged on each pixel continuation target in the direction of a signal line, and is electrically connected to touch-down or fixed potential by the pixel outside.

[0077] Subsequently, the 3rd insulator layer 108 of a wrap is formed for the gate electrode 106 and the capacity wiring 107. The insulator layer containing the silicon formed by the plasma-CVD method or the sputter is used for this 3rd insulator layer 108. Moreover, what is necessary is just to form this 3rd insulator layer 108 by the silicon oxide film, the oxidation silicon nitride film, the silicon nitride film, or the cascade screen that combined these.

[0078] Subsequently, the 2nd contact hole 100a (inside of drawing 3 (a)) and 100b (inside of drawing 3 (b)) which performs alternative etching to the 2nd insulator layer 105 and the 3rd insulator layer 108,

and reaches the semi-conductor film (a source field or drain field) is formed.

[0079] Subsequently, the film which uses aluminum, W, Ti, and TiN as a principal component, or the electric conduction film (thickness: 500 micrometers) which has those laminated structures is formed on the 3rd insulator layer 108, and the electrode 110 of the shape of an island for connecting with the pixel electrode formed in behind with signal lines 109 and 111 by performing patterning is formed. These signal lines 109 and 111 are connected with a source field or a drain field through the 2nd contact hole 100a and 100b which reaches the semi-conductor film. The island-like electrode 110 is similarly connected with a source field or a drain field through 2nd contact hole 100a which reaches the semi-conductor film. Moreover, signal lines 109 and 111 are arranged in the direction parallel to the capacity line 107.

[0080] Moreover, it isolates with a signal line 109 and the island-like electrode 110 is arranged. However, a signal line 109 and the island-like electrode 110 both are not connected to a source field. Similarly, a signal line 109 and the island-like electrode 110 both are not connected to a drain field.

[0081] The pixel plan in this phase is equivalent to drawing 1, outline cross-section structural drawing cut along with the A-A' dotted line in drawing 1 is equivalent to drawing 3 (a), and outline cross-section structural drawing cut along with the B-B' dotted line is equivalent to drawing 3 (b).

[0082] Subsequently, the 4th insulator layer 112 of a wrap is formed for a signal line 109 and the island-like electrode 110. What is necessary is just to form this 4th insulator layer 112 by the organic insulating material ingredient film, the silicon oxide film, the oxidation silicon nitride film, the silicon nitride film, or the cascade screen that combined these.

[0083] Subsequently, patterning is carried out to the configuration of a request of the film which has high protection-from-light nature, such as Ti, aluminum, W, Cr, or black resin, on the 4th insulator layer 112, and a light-shielding film 113 is formed. This light-shielding film 113 is arranged in the shape of a mesh so that it may shade except opening of a pixel.

[0084] In this example, although a light-shielding film 113 serves as floating electrically, when the low resistance film is chosen as a light-shielding film ingredient, it can also control a light-shielding film by the outside of a display to the potential of arbitration.

[0085] Subsequently, the 5th insulator layer 114 is formed on a light-shielding film 113. What is necessary is just to form this 5th insulator layer 114 by the organic insulating material ingredient film. In addition, flattening of the front face can be carried out good by forming the 5th insulator layer 114 with an organic insulating material ingredient. Moreover, since the dielectric constant is generally low, parasitic capacitance is reduced and an organic resin ingredient can do it. However, since it is hygroscopic and is not suitable as a protective coat, it is good also as a laminated structure combined with the silicon oxide film, the oxidation silicon nitride film, the silicon nitride film, etc.

[0086] Subsequently, alternative etching is performed to the 4th insulator layer 112 and the 5th insulator layer 114, and 3rd contact hole 100d which reaches an island-like electrode is formed. In drawing 4, the dotted line illustrated 3rd contact hole 100d for convenience.

[0087] Subsequently, transference conductor film, such as ITO, is formed and the pixel electrode 115 is formed by performing patterning. The pixel electrode 115 is connected with the island-like electrode 110 through 3rd contact hole 100d. Each pixel electrode is arranged, respectively so that pixel opening may be covered independently.

[0088] In this way, the orientation film 116 which carries out orientation of the liquid crystal layer 117 to the formed TFT substrate is formed, and after sticking using a well-known cel **** technique with the opposite substrate 120 with which a counterelectrode 119 and the orientation film 118 were formed, the liquid crystal cell by which the liquid crystal ingredient was poured in and closed and the liquid crystal layer was held among both substrates was completed.

[0089] 2 was obtained using the above making processes 236.9-micrometer the area (64.3% of numerical apertures) of the pixel opening field of 2 and an area of 62.8 micrometers of a retention volume field by arranging wiring, the semi-conductor film, etc. according to the design rule of Table 2 further.

[0090]

[Table 2]

Si層:min. Size=0.8 μ m, min. Spacing=1.5 μ m
ゲート電極:min. Size=1.0 μ m, min. Spacing=1.5 μ m
走査線とゲート電極とのコンタクトホール:min. Size=1 μ m□
コンタクトホールとゲート電極とのmargin=1.0 μ m
走査線:min. Size=1.5 μ m, min. Spacing=1.5 μ m
信号線とSi層とのコンタクトホール:min. Size=1 μ m□
コンタクトホールとSi層とのmargin=1.0 μ m
コンタクトホールと走査線(ゲート電極)との間隔min. Spacing=1.3 μ m
信号線:min. Size=1.5 μ m, min. Spacing=1.5 μ m
コンタクトホールと信号線とのmargin=1.3 μ m
画面サイズ:19.2 μ m□
画素TFT:L=1.5 μ m, W=0.8 μ m, シングルゲート
走査線:配線幅min. Size=1.0 μ m
走査線:Si層乗り越え部における配線幅min. Size=1.5 μ m
容量配線:min. Size=2.0 μ m

[0091] It is necessary to establish the field for contact hole 100c which newly connects the gate electrode 106 and the scanning line 102 in a pixel field in this example. Moreover, in this example, since the film which shades the channel formation field periphery of the island-like Si film turns into only an up light-shielding film, it is desirable to consider as the structure equipped with the up light-shielding film.

[0092] Moreover, since the scanning line 102 functions as a lower light-shielding film to a channel formation field and its periphery according to this configuration, it is able for the light which carried out incidence from the liquid crystal layer 117 to reflect by the lower interface of a TFT substrate, to be able to prevent carrying out incidence to a channel formation field and its periphery, and generating optical leak of TFT, and to acquire better display quality.

[0093] [Example 2] This example explains the configuration of the active matrix liquid crystal display shown in the example 1 using the perspective view of drawing 5. In addition, the same sign is used for the example 1 and the corresponding part.

[0094] In drawing 5, a active-matrix substrate consists of the pixel section formed on the substrate 101, a scanning-line drive circuit 802, and the signal-line drive circuit 803 and other digital disposal circuits. The drive circuit which a pixel TFT800 and retention volume 200 are formed in the pixel section, and is prepared around the pixel section is constituted on the basis of the CMOS circuit.

[0095] Moreover, the capacity wiring 107 is formed in the direction parallel to a signal line 109, and is functioning as an up electrode of retention volume 200. Moreover, the capacity wiring 107 is connected to touch-down or fixed potential.

[0096] From the scanning-line drive circuit 802 and the signal-line drive circuit 803, the scanning line 102 and a signal line 109 extended in the pixel section, and have connected with a pixel TFT800, respectively. Moreover, it uses for the flexible printed wiring board (Flexible Printed Circuit:FPC) 804 having connected with the external input terminal 805, and inputting a picture signal etc. FPC804 is firmly pasted up with reinforcement resin. And it has connected with each drive circuit with the connection wiring 806 and 807. Moreover, although not illustrated to the opposite substrate 808, the light-shielding film and the transparent electrode are prepared.

[0097] [Example 3] The pixel matrix circuit formed by carrying out the invention in this application can be used for various electro-optic devices (an active matrix liquid crystal display, a active-matrix mold EL display, active-matrix mold EC display). That is, the invention in this application can be carried out on all the electronic equipment that incorporated these electro-optic devices as a display.

[0098] As such electronic equipment, a video camera, a digital camera, a projector (a rear mold or front mold), a head mount display (goggles mold display), car navigation, a personal computer, Personal Digital Assistants (a mobile computer, a cellular phone, or digital book), etc. are mentioned. Those examples are shown in drawing 6 and drawing 7.

[0099] Drawing 6 (A) is a personal computer and consists of a body 2001, the image input section 2002,

a display 2003, and a keyboard 2004. The invention in this application is applicable to a display 2003.

[0100] Drawing 6 (B) is a video camera and consists of a body 2101, a display 2102, the voice input section 2103, an actuation switch 2104, a dc-battery 2105, and the television section 2106. The invention in this application is applicable to a display 2102.

[0101] Drawing 6 (C) is a mobile computer (Mobile computer), and consists of a body 2201, the camera section 2202, the television section 2203, an actuation switch 2204, and a display 2205. The invention in this application is applicable to a display 2205.

[0102] Drawing 6 (D) is a goggles mold display, and consists of a body 2301, a display 2302, and the arm section 2303. This invention is applicable to a display 2302.

[0103] Drawing 6 (E) is a player using the record medium (it is hereafter called a record medium) which recorded the program, and consists of a body 2401, a display 2402, the loudspeaker section 2403, a record medium 2404, and an actuation switch 2405. In addition, this equipment can use music appreciation, movie appreciation, a game, and the Internet, using DVD (Digital Versatile Disc), CD, etc. as a record medium. This invention is applicable to a display 2402.

[0104] Drawing 6 (F) is a digital camera and consists of a body 2501, a display 2502, an eye contacting part 2503, an actuation switch 2504, and the television section (not shown). The invention in this application is applicable to a display 2502.

[0105] Drawing 7 (A) is a front mold projector, and contains a projection device 2601 and screen 2602 grade. This invention is applicable to the liquid crystal display 2808 which constitutes some projection devices 2601.

[0106] Drawing 7 (B) is a rear mold projector, and contains a body 2701, a projection device 2702, a mirror 2703, and screen 2704 grade. This invention is applicable to the liquid crystal display 2808 which constitutes some projection devices 2702.

[0107] In addition, drawing 7 (C) is drawing having shown an example of the structure of the projection devices 2601 and 2702 in drawing 7 (A) and drawing 7 (B). Projection devices 2601 and 2702 consist of the light source optical system 2801, mirrors 2802, 2804–2806, a dichroic mirror 2803, prism 2807, a liquid crystal display 2808, a phase contrast plate 2809, and an incident light study system 2810. The incident light study system 2810 consists of optical system containing a projector lens. Although this example showed the example of a 3 plate type, it may not be limited especially, for example, may be a veneer type. Moreover, an operation person may prepare suitably the optical system of an optical lens, the film which has a polarization function, the film for adjusting phase contrast, IR film, etc., etc. in the optical path shown by the arrow head in drawing 7 (C).

[0108] Moreover, drawing 7 (D) is drawing having shown an example of the structure of the light source optical system 2801 in drawing 7 (C). The light source optical system 2801 is constituted from this example by a reflector 2811, the light source 2812, the lens arrays 2813 and 2814, the polarization sensing element 2815, and the condenser lens 2816. In addition, the light source optical system shown in drawing 7 (D) is especially an example, and is not limited. For example, an operation person may prepare suitably the optical system of an optical lens, the film which has a polarization function, the film which adjusts phase contrast, IR film, etc. in light source optical system.

[0109] As mentioned above, the applicability of the invention in this application is very wide, and applying to the electronic equipment of all fields is possible. Moreover, even if the electronic equipment of this example uses the configuration which consists of combination like an example 1 or example 2 throat, it is realizable.

[0110] [Example 4] Although the example 1 showed the example of TFT of a single gate, it shows the example which used TFT of DABURUGETO by this example. However, fundamental structure is the same.

[0111] First, the electric conduction film is formed on the substrate 401 which has an insulating front face, and the scanning line 402 is formed by performing patterning. (Drawing 8 (A)) This scanning line 402 functions also as a protection-from-light layer which protects the barrier layer formed behind from

light. Here, the laminated structure of the polish recon film (50nm of thickness) and the tungsten silicide (W-Si) film (100nm of thickness) was used as the scanning line 402, using a quartz substrate as a substrate 401. Moreover, the polish recon film protects the contamination to a substrate from tungsten silicide.

[0112] Subsequently, the wrap insulator layers 403a and 403b are formed for the scanning line 402 by 100–1000nm (typically 300–500nm) of thickness. (Drawing 8 (B)) The laminating of the silicon oxide film of 280nm of thickness [film / of 100nm of thickness which used the CVD method here / silicon oxide] using the LPCVD method was carried out.

[0113] Subsequently, the amorphous semiconductor film is formed by 10–100nm of thickness. here -- the amorphous silicon film (amorphous silicon film) of 69nm of thickness -- LPCVD -- it formed using law. Subsequently, it was made to crystallize using a technique given [as a technique of crystallizing this amorphous semiconductor film] in JP,8–78329,A. A technique given [this] in an official report adds alternatively the metallic element which promotes crystallization to the amorphous silicon film, and forms the crystalline substance silicon film which spreads with an addition field as the starting point by heat-treating. Here, heat treatment for crystallization (600 degrees C, 12 hours) was performed after heat treatment for dehydrogenation (450 degrees C, 1 hour), using nickel as a metallic element which promotes crystallization.

[0114] Subsequently, gettering of the nickel is carried out from the field made into the barrier layer of TFT. The field made into the barrier layer of TFT was covered with the mask (silicon oxide film), and it heat-treated by adding phosphorus (P) on some crystalline substance silicon film (they are 600 degrees C and 12 hours under nitrogen-gas-atmosphere mind).

[0115] Subsequently, after removing a mask, patterning is performed, the unnecessary part of the crystalline substance silicon film is removed, and the semi-conductor layer 404 is formed. (Drawing 8 (C1)) In addition, the pixel plan after forming the semi-conductor layer 404 is shown in drawing 8 (C2). In drawing 8 (C2), the sectional view cut by dotted-line A-A' is equivalent to drawing 8 (C1).

[0116] Subsequently, in order to form retention volume, a mask 405 is formed and Lynn is doped in a part of semi-conductor layer (field made into retention volume) 406. (Drawing 9 (A))

[0117] Subsequently, after removing a mask 405 and forming a wrap insulator layer for a semi-conductor layer, the insulator layer on the field 406 which forms a mask 407 and is made into retention volume is removed. (Drawing 9 (B))

[0118] Subsequently, it oxidizes thermally by removing a mask 407, and insulator layer (gate dielectric film) 408a is formed. The thickness of final gate dielectric film was set to 80nm by this thermal oxidation. In addition, insulator layer 408b thinner than other fields was formed on the field made into retention volume. (Drawing 9 (C1)) A pixel plan here is shown in drawing 9 (C2). In drawing 9 (C2), the sectional view cut by dotted-line B-B' is equivalent to drawing 9 (C1). Moreover, the field shown within the chain line in drawing 9 is a part in which thin insulator layer 408b is formed.

[0119] Subsequently, the channel dope process which adds the impurity element of p mold or n mold at low concentration to the channel field of TFT and the becoming field was performed on the whole surface or a selection target. This channel dope process is a process for controlling a TFT threshold electrical potential difference. In addition, boron was added by the ion doping method which carried out plasma excitation without carrying out mass separation of the diboron hexahydride (B₂H₆) here. Of course, the ion implantation method for performing mass separation may be used.

[0120] Subsequently, a mask 409 is formed on insulator layer 408a and insulator layer 403a, and 403b, and the contact hole which reaches the scanning line 402 is formed. (Drawing 10 (A)) And a mask is removed after formation of a contact hole.

[0121] Subsequently, the electric conduction film is formed, patterning is performed and the gate electrode 410 and the capacity wiring 411 are formed. (Drawing 10 (B)) Here, the laminated structure of the silicon film (150nm of thickness) with which Lynn was doped, and tungsten silicide (150nm of thickness) was used. In addition, retention volume uses insulator layer 408b as a dielectric, and consists

of capacity wiring 411 and a part of semi-conductor layer 406.

[0122] Subsequently, Lynn is added to low concentration in self align by using the gate electrode 410 and capacity wiring 411 as a mask. (Drawing 10 (C1)) A pixel plan here is shown in drawing 10 (C2). In drawing 10 (C2), the sectional view cut by dotted-line C-C' is equivalent to drawing 10 (C1). The concentration of Lynn of the field added by this low concentration adjusts to $1 \times 10^{16} - 5 \times 10^{18}$ atoms/cm³, and a representation target so that it may become $3 \times 10^{17} - 3 \times 10^{18}$ atoms/cm³.

[0123] Subsequently, a mask 412 is formed, Lynn is added to high concentration and the high concentration impurity range 413 used as a source field or a drain field is formed. (Drawing 11 (A)) It adjusts so that the concentration of Lynn of this high concentration impurity range may serve as $1 \times 10^{20} - 1 \times 10^{21}$ atoms/cm³ (typically $2 \times 10^{20} - 5 \times 10^{20}$ atoms/cm³). In addition, the field which laps with the gate electrode 410 among the semi-conductor layers 404 turns into the channel formation field 414, and the field covered with the mask 412 turns into the low concentration impurity range 415, and functions as a LDD field. And a mask 412 is removed after addition of an impurity element.

[0124] Subsequently, although not illustrated here, in order to form the p channel mold TFT used for the drive circuit formed on the same substrate as a pixel, the field which serves as the n channel mold TFT with a mask is covered, boron is added, and a source field or a drain field is formed.

[0125] Subsequently, after removing a mask 412, the wrap passivation film 416 is formed for the gate electrode 410 and the capacity wiring 411. Here, the silicon oxide film was formed by 70nm thickness. Subsequently, the heat treatment process for activating n mold or p mold impurity element added by the semi-conductor layer by each concentration is performed. Here, 850 degrees C and heat-treatment for 30 minutes were performed.

[0126] Subsequently, the interlayer insulation film 417 which consists of an organic resin ingredient is formed. Here, the acrylic resin film of 400nm of thickness was used. Subsequently, after forming the contact hole which reaches a semi-conductor layer, an electrode 418 and source wiring 419 are formed. In this example, it considered as the cascade screen of the three-tiered structure which continued the aluminum film which contains [an electrode 418 and source wiring 419] 100nm and Ti for Ti film by 300nm, continued by the spatter in 150nm of Ti film, and was formed. (Drawing 11 (B1)) In addition, the sectional view cut by dotted-line D-D' in drawing 11 (B-2) is equivalent to drawing 11 (B1).

[0127] Subsequently, after performing a hydrogen treating, the interlayer insulation film 420 which consists of an acrylic is formed. (Drawing 12 (A1)) Subsequently to an interlayer insulation film 420 top 100nm of electric conduction film which has protection-from-light nature is formed, and the protection-from-light layer 421 is formed. Subsequently, an interlayer insulation film 422 is formed. Subsequently, an electrode 418 is reached and contact hole formation is carried out. Subsequently, after forming the 100nm transparence electric conduction film (here indium oxide tin (ITO) film), patterning is carried out and the pixel electrodes 423 and 424 are formed. In drawing 12 (A2), the sectional view cut by dotted-line E-E' is equivalent to drawing 12 (A1).

[0128] In this way, in the pixel section, securing the area (76.5% of numerical apertures) of a viewing area (pixel size 26micrometerx26micrometer), the pixel TFT which becomes with the n channel mold TFT is formed, and sufficient retention volume (51.5fF) can be obtained.

[0129] In addition, this example is an example and it cannot be overemphasized that it is not limited to the process of this example. For example, the alloy film (typically a Mo-W alloy, a Mo-Ta alloy) which combined a tantalum (Ta), titanium (Ti), molybdenum (Mo), a tungsten (W), chromium (Cr), the element chosen from silicon (Si), or said element as each electric conduction film can be used. Moreover, as each insulator layer, the silicon oxide film, a silicon nitride film, an oxidation silicon nitride film, and organic resin ingredient film (polyimide, an acrylic, a polyamide, polyimidoamide, BCB (benz-cyclobutene), etc.) can be used.

[0130] Moreover, the property of TFT obtained in this way showed the good value. The TFT property (V-I property) is shown in drawing 13 . Since especially the structure of this invention is dual gate structure, S value shows 105.8 (mV/dec) and the outstanding value. Moreover, by considering as the

structure of this invention, the threshold (V_{th}) in a V-I property graph which starts and shows the electrical-potential-difference value in a point is 0.886V, when it is $V_d=0.1V$ and is 0.946V and $V_d=5V$, and it is very as small as 0.06. [of the difference] The more this difference is small, the more it can be said that the short channel effect is suppressed. Moreover, mobility (micro FE) is 220 (cm^2/Vs) and the outstanding thing.

[0131] [Example 5] It is characterized by forming scanning-line 502a in a different layer from a gate electrode, and forming capacity electrode 502b in the still more nearly same layer as scanning-line 502a in order to aim at increase of retention volume while this example raises a numerical aperture. An example of the pixel configuration of this invention was shown in drawing 14 and drawing 15.

[0132] In addition, outline cross-section structural drawing cut along with the A-A' dotted line in drawing 14 is equivalent to drawing 15 (a), and outline cross-section structural drawing cut along with the B-B' dotted line is equivalent to drawing 15 (b).

[0133] In drawing 14, patterning of the gate electrode 506 is carried out to the shape of an island, and it is connected with scanning-line 502a through contact hole 500c formed in the insulator layer. Moreover, the semi-conductor film 504 is connected with the signal line 509 through contact hole 500a. Moreover, the semi-conductor film 504 is connected with the electrode 510 through contact hole 500b. Moreover, the field of the semi-conductor film which touches a signal line 509 or an electrode 510 is called the source field or the drain field. Moreover, the channel formation field is formed between the source field and the drain field, and the gate electrode 506 exists through gate dielectric film on a channel formation field. In addition, the source field, the drain field, and the channel formation field are not illustrated for simplification.

[0134] Moreover, in this example, as shown in drawing 14, when scanning-line 502a is formed in the lower layer of the gate electrode 506, since scanning-line 502a is prepared in the lower layer of the semi-conductor film 504, it is possible to also make it function as a light-shielding film. Moreover, retention volume uses a lower electrode as the semi-conductor film, uses a wrap insulator layer as a dielectric for the semi-conductor film, and forms an up electrode as capacity wiring 507. In addition, increase of retention volume may be aimed at by thin-film-izing a wrap insulator layer for the semi-conductor film partially.

[0135] Furthermore, the retention volume of this example can form retention volume also for capacity electrode 502b linked to the capacity wiring 507 by using an insulator layer 503 as a dielectric, as shown in drawing 15. Therefore, retention volume can be secured efficiently and the contrast of the liquid crystal display using this pixel structure improves.

[0136] Moreover, according to the configuration of this example, TFT of each pixel can be made into the upper part of a channel formation field, and the dual gate structure caudad equipped with the gate electrode through the insulator layer, and it can improve the property of TFT by setting the 1st insulator layer as suitable thickness, controlling the parasitic capacitance formed with the scanning line and other wiring.

[0137] Moreover, the production approach of the pixel structure shown by this example is almost the same as that of an example 1 or an example 4, and omits the explanation here.

[0138] In addition, this example is freely combinable with an example 1 thru/or any 1 of 4.

[0139] [Example 6] When it reduces pixel size, this example aims at increase of retention volume while raising a numerical aperture. This example is characterized by forming retention volume with a light-shielding film and a pixel electrode.

[0140] Drawing 16 is cross-section structural drawing showing the outline of the liquid crystal display of this example. In drawing 16, 601 is an electrode for the 1st insulator layer and 604 to lead the semi-conductor film, and for 605 lead gate dielectric film (the 2nd insulator layer) and the contact hole where capacity wiring and 607 were formed in the 3rd insulator layer, and 608 was formed [606b / a gate electrode and 606c] in the 3rd insulator layer for gate wiring and 606a, connect the scanning line and 603 to the semi-conductor film 604, and for a substrate (TFT substrate) and 602 connect TFT and the

pixel electrode 612.

[0141] Moreover, the pixel electrode which the light-shielding film from which 609 prevents TFT and the 4th insulator layer of a wrap and 610 prevent the photodegradation of TFT, and 611 led the 5th insulator layer, and 612 led the contact hole, and was connected with the electrode 608, and 613 are orientation film to which orientation of the liquid crystal layer 614 is carried out.

[0142] Moreover, in drawing 16 , although a counterelectrode 616 and the orientation film 615 were formed in the opposite substrate 617, a light-shielding film and a color filter may be prepared if needed.

[0143] As shown in drawing 16 , the retention volume of this example uses an insulator layer 605 as a dielectric, and consists of the 1st retention volume formed by capacity wiring 606a and the semi-conductor film 604, and the 2nd retention volume which used the insulator layer 611 as the dielectric further, and was formed with the light-shielding film 610 and the pixel electrode 612. In addition, the organic resin film may be used as an insulator layer 611, inorganic insulator layers, such as an oxidation silicon nitride film and silicon oxide film, may be used, and an operation person should just design the thickness suitably.

[0144] For example, when pixel size was set to 14micrometerx14micrometer, it was able to consider as the cross-section structure shown in drawing 16 , and retention volume (100fF extent) sufficient by designing to a plan as shown in drawing 17 (B) could be secured, and the numerical aperture was able to be made into 48.7%.

[0145] In addition, drawing 17 (A) was a plan in the phase in which the electrode 608 was formed, and drawing 17 (B) is a plan in the phase which formed the light-shielding film 610 and the pixel electrode 612 further, and it used the same sign for the part corresponding to drawing 16 .

[0146] In addition, this example is freely combinable with an example 1 thru/or any 1 of 5.

[0147]

[Effect of the Invention] By this invention, the field (it is equivalent to the area A in drawing 19) currently used in the former as the wiring field in the scanning line, and the scanning line and a capacity wiring isolation region can be used as retention volume. Moreover, each pixel is as continuous as the adjoining pixel by becoming the configuration in which two or more pixels connected to each scanning line have capacity wiring which became independent respectively. Or also when signal writing is performed to coincidence, it is not influenced of the write-in current of a contiguity pixel, but further, since a current load is distributed in time, as for each capacity wiring, the demand to reduction and capacity wiring resistance is eased for an effective load.

[0148] Therefore, according to the liquid crystal display using this invention, the liquid crystal display component having the retention volume holding a high numerical aperture and status signal potential sufficient in each pixel is obtained, and a good display image can be obtained, attaining the miniaturization of equipment, and power-saving.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] Drawing showing a pixel plan.

[Drawing 2] Drawing showing the circuit diagram of a TFT substrate.

[Drawing 3] Drawing showing cross-section structural drawing.

[Drawing 4] Drawing showing cross-section structural drawing of an active matrix liquid crystal display.

[Drawing 5] Drawing showing the appearance of AM-LCD.

[Drawing 6] Drawing showing an example of electronic equipment.

[Drawing 7] Drawing showing an example of electronic equipment.

[Drawing 8] The making process sectional view and plan of the pixel section.

[Drawing 9] The making process sectional view and plan of the pixel section.

[Drawing 10] The making process sectional view and plan of the pixel section.

[Drawing 11] The making process sectional view and plan of the pixel section.

[Drawing 12] The making process sectional view and plan of the pixel section.

[Drawing 13] Drawing showing a TFT property.

[Drawing 14] Drawing showing a pixel plan.

[Drawing 15] Drawing showing cross-section structural drawing.

[Drawing 16] Drawing showing cross-section structural drawing.

[Drawing 17] Drawing showing a pixel plan.

[Drawing 18] The conventional pixel plan.

[Drawing 19] Drawing showing the conventional pixel opening field.

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-144301

(P2001-144301A)

(43) 公開日 平成13年5月25日 (2001.5.25)

(51) Int.Cl.⁷

識別記号

F I

テーマコード(参考)

H 0 1 L 29/786

G 0 2 F 1/1343

G 0 2 F 1/1343

1/1345

1/1345

H 0 4 N 5/66

1 0 2 A

1/1368

H 0 1 L 29/78

6 1 2 C

H 0 1 L 21/3205

G 0 2 F 1/136

5 0 0

審査請求 未請求 請求項の数26 O L (全 19 頁) 最終頁に続く

(21) 出願番号 特願2000-253571(P2000-253571)

(22) 出願日 平成12年8月24日(2000.8.24)

(31) 優先権主張番号 特願平11-246798

(32) 優先日 平成11年8月31日(1999.8.31)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 柴田 寛

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72) 発明者 磯部 敦生

神奈川県厚木市長谷398番地 株式会社半

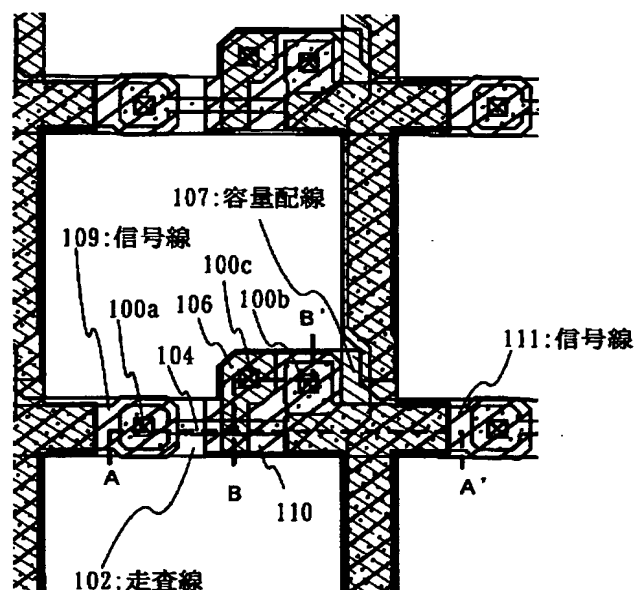
導体エネルギー研究所内

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】

【課題】 高い開口率を得ながら十分な保持容量 (C s) を確保し、また同時に容量配線の負荷 (画素書き込み電流) を時間的に分散させて実効的に低減する事により、高い表示品質をもつ液晶表示装置を提供する。

【解決手段】 ゲート電極 106 と異なる層に走査線 102 を形成し、容量配線 107 が信号線 109 と平行になるよう配置する。各画素はそれぞれ独立した容量配線 107 に誘電体を介して接続されているため隣接画素の書き込み電流による容量配線電位の変動を回避でき、良好な表示画像を得る事ができる。



(2)

1

【特許請求の範囲】

【請求項1】絶縁表面上に第1配線と、
前記第1配線上に第1絶縁膜と、
前記第1絶縁膜上に半導体膜と、
前記半導体膜上に第2絶縁膜と、
前記第2絶縁膜上に第2配線と、前記第1配線と接続するゲート電極と、
前記第2配線及び前記ゲート電極上に第3絶縁膜と、
前記第3絶縁膜上に前記半導体膜と接続する第3の配線とを有することを特徴とする半導体装置。

【請求項2】請求項1において、前記第2絶縁膜を介して前記半導体膜と前記第2配線とが重なることを特徴とする半導体装置。

【請求項3】請求項1または請求項2において、前記第2絶縁膜を介して前記第2配線と前記半導体膜とが重なる領域には、前記第2絶縁膜を誘電体とする保持容量が形成されることを特徴とする半導体装置。

【請求項4】請求項1乃至3のいずれか一において、前記半導体膜のうち、前記第2絶縁膜を介して前記第2配線と重なる領域には、導電型を付与する不純物元素が添加されていることを特徴とする半導体装置。

【請求項5】請求項1乃至4のいずれか一において、前記第3絶縁膜上に前記半導体膜と接する電極と、該電極と接続する画素電極とを有することを特徴とする半導体装置。

【請求項6】請求項1乃至5のいずれか一において、前記第1配線は、前記第2配線とは直交する方向に配置されていることを特徴とする半導体装置。

【請求項7】請求項1乃至6のいずれか一において、前記第1配線は、前記第3配線と直交する方向に配置されていることを特徴とする半導体装置。

【請求項8】請求項1乃至7のいずれか一において、前記ゲート電極は、前記第1配線と異なる層に形成されていることを特徴とする半導体装置。

【請求項9】請求項1乃至8のいずれか一において、前記ゲート電極は、島状にパターニングされていることを特徴とする半導体装置。

【請求項10】請求項1乃至9のいずれか一において、前記第1配線は、走査線であることを特徴とする半導体装置。

【請求項11】請求項1乃至10のいずれか一において、前記第2配線は、容量配線であることを特徴とする半導体装置。

【請求項12】請求項1乃至11のいずれか一において、前記第3配線は、信号線であることを特徴とする半導体装置。

【請求項13】請求項1乃至12のいずれか一において、前記第2絶縁膜は、ゲート絶縁膜であることを特徴とする半導体装置。

【請求項14】請求項1乃至13のいずれか一におい

2

て、前記ゲート電極は、導電型を付与する不純物元素がドーピングされたpoly-Si、W、WSi_x、Al、Ta、Cr、またはMoから選ばれた元素を主成分とする膜またはそれらの積層膜からなることを特徴とする半導体装置。

【請求項15】信号線駆動回路に接続され互いに平行に所定の間隔を隔てて配置される複数の信号線と、走査線駆動回路に接続され互いに平行に所定の間隔を隔てて配置される複数の走査線と、

10 前記信号線と平行に配置される容量配線とを有することを特徴とする半導体装置。

【請求項16】請求項15において、前記走査線は、前記信号線と直交することを特徴とする半導体装置。

【請求項17】請求項16において、前記信号線と直交する走査線に接続されたゲート電極を有する薄膜トランジスタと、前記トランジスタと接続された画素電極とを有することを特徴とする半導体装置。

【請求項18】請求項15乃至17のいずれか一において、前記ゲート電極は、前記走査線と異なる層に形成されていることを特徴とする半導体装置。

【請求項19】請求項15乃至18のいずれか一において、前記ゲート電極は、島状にパターニングされていることを特徴とする半導体装置。

【請求項20】絶縁表面を有する基板上に第1配線を形成する第1工程と、

前記第1配線上に第1絶縁膜を形成する第2工程と、

前記第1配線上に半導体膜を形成する第3工程と、

前記半導体膜上に第2絶縁膜を形成する第4工程と、

30 前記第1絶縁膜及び第2絶縁膜に選択的なエッチングを施して、前記第1配線に達する第1コンタクトホールを形成する第5工程と、

前記第1コンタクトホールを通じて前記第1配線と接続し、且つ、前記第2絶縁膜上に前記半導体膜の一部と重なるゲート電極を形成する第6工程と、

前記ゲート電極上に第3絶縁膜を形成する第7工程と、

前記第2絶縁膜及び第3絶縁膜に選択的なエッチングを施して、前記半導体膜に達する第2コンタクトホールを形成する第8工程と、

40 前記第2コンタクトホールを通じて前記半導体膜と接続した第3配線を前記第3絶縁膜上に形成する第9工程と、を有することを特徴とする半導体装置の作製方法。

【請求項21】請求項20において、前記ゲート電極と同じ工程により前記半導体膜の一部と重なる第2配線を前記第2絶縁膜上に形成することを特徴とする半導体装置の作製方法。

【請求項22】請求項20または請求項21において、前記半導体膜上に第2絶縁膜を形成する工程の後、前記第2配線と重なる前記第2絶縁膜を部分的に薄くする工程を有することを特徴とする半導体装置の作製方法。

50 【請求項23】請求項20乃至22のいずれか一におい

(3)

3

て、前記第2絶縁膜はゲート絶縁膜であることを特徴とする半導体装置の作製方法。

【請求項24】請求項20乃至23のいずれかにおいて、前記第1配線は、走査線であることを特徴とする半導体装置の作製方法。

【請求項25】請求項20乃至24のいずれかにおいて、前記第2配線は、容量配線であることを特徴とする半導体装置の作製方法。

【請求項26】請求項20乃至25のいずれかにおいて、前記第3配線は、信号線であることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本願発明は薄膜トランジスタ（以下、TFTという）で構成された回路を有する半導体装置およびその作製方法に関する。例えば、液晶表示パネルに代表される電気光学装置およびその様な電気光学装置を部品として搭載した電子機器に関する。

【0002】なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【0003】

【従来の技術】近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数〜数百nm程度）を用いて薄膜トランジスタ（TFT）を構成する技術が注目されている。薄膜トランジスタはICや電気光学装置のような電子デバイスに広く応用され、特に液晶表示装置のスイッチング素子として開発が急がれている。

【0004】液晶表示装置において、高品位な画像を得るために、画素電極をマトリクス状に配置し、画素電極の各々に接続するスイッチング素子としてTFTを用いたアクティブマトリクス型液晶表示装置が注目を集めている。

【0005】このアクティブマトリクス型液晶表示装置*

4

*において、良好な品質の表示を行わせるには、TFTに接続された各画素電極に映像信号の電位を次の書き込み時まで保持できるようにする必要がある。一般的には、画素内に保持容量（Cs）を備えることで映像信号の電位を保持している。

【0006】上記保持容量（Cs）の構造やその形成法として様々な提案がなされているが、製造工程の簡素さ、また信頼性の観点から、画素を構成する絶縁膜のうち、最も質の高い絶縁膜であるTFTのゲート絶縁膜を保持容量（Cs）の誘電体として利用することが望ましい。従来では、図18に示したように走査線と同じ配線層を用いて上部電極となる容量配線を設け、上部電極（容量配線）／誘電体層（ゲート絶縁膜）／下部電極（半導体膜）により保持容量（Cs）を構成することが行われていた。

【0007】また、表示性能の面から画素には大きな保持容量を持たせるとともに、高開口率が求められている。各画素が高い開口率を持つことによりバックライトの光利用効率が向上し、所定の表示輝度を得るためのバックライト容量が抑制できる結果、表示装置の省電力化および小型化が達成できる。また、各画素が大きな保持容量を備えることにより、各画素の表示データ保持特性が向上して表示品質が向上する。

【0008】こうした要求は、液晶表示装置の高精細化（画素数の増大）及び小型化に伴う各表示画素ピッチの微細化を進める上で大きな課題となっている。

【0009】加えて、上述した従来の画素構成では高開口率と大きな保持容量の両立が難しいという問題がある。

【0010】

【発明が解決しようとする課題】従来の画素構成を表1のデザインルールに従い19.2 μ m \square の画素サイズで実施した従来例を図18に示す。

【0011】

【表1】

Si層:min. Size=0.8 μ m, min. Spacing=1.5 μ m
ゲート電極:min. Size=1.0 μ m, min. Spacing=1.5 μ m
走査線:min. Size=1.5 μ m, min. Spacing=1.5 μ m
信号線とSi層とのコンタクトホール:min. Size=1 μ m \square
コンタクトホールとSi層とのmargin=1.0 μ m
コンタクトホールと走査線(ゲート電極)との間隔min. Spacing=1.3 μ m
信号線:min. Size=1.5 μ m, min. Spacing=1.5 μ m
コンタクトホールと信号線とのmargin=1.3 μ m
画素サイズ:19.2 μ m \square
画素TFT:L=1.5 μ m, W=0.8 μ m, シングルゲート
走査線:配線幅min. Size=1.0 μ m
走査線:Si層乗り越え部における配線幅min. Size=1.5 μ m
容量配線:min. Size=2.0 μ m

【0012】走査線と容量配線の2本を各々連続的に形成する関係上、配線を2本（走査線と容量配線）平行に配置していることが従来の特徴である。図18において、10は半導体膜、11は走査線、12は信号線、1

3は電極、14は容量配線である。なお、図18は、画素の上面図を簡略化したものであり、電極13に接続する画素電極及び電極13に達するコンタクトホールは図示していない。

(4)

5

【0013】こうした上部電極（容量配線）／誘電体層（ゲート絶縁膜）／下部電極（半導体膜）による保持容量構成とした場合、画素の回路構成に必要な回路要素（画素TFT、保持容量、コンタクトホール等）は全てゲート絶縁膜関連のものとなり、回路要素を構成するこれらの素子は各画素中にほぼ平面的に配置される。

【0014】このことから、規定の画素サイズの中で各画素の高開口率と大きな保持容量とを両方得るためには、画素の回路構成に必要な回路要素を効率よくレイアウトすることが不可欠である。このことは、回路要素が全てゲート絶縁膜関連のものであることからゲート絶縁膜の利用効率を向上することが不可欠と言い換えることができる。

【0015】こうした観点から図18の例において画素の回路構成における平面レイアウト効率を表したものが図19である。図19中、21は単体画素領域、22は画素開口領域、23は保持容量領域、24はA領域、25はTFTの一部及びコンタクト領域を示している。

【0016】図19では画素開口領域22の面積 $216.7\mu\text{m}^2$ （開口率58.8%）に対し、保持容量領域23の面積 $64.2\mu\text{m}^2$ 、TFTの一部及びコンタクト領域25の面積 $42.2\mu\text{m}^2$ 、A領域24の面積 $34.1\mu\text{m}^2$ で構成されている。

【0017】このA領域24は、TFTのゲート電極として働いている領域を相互に接続する配線部及び走査線と容量配線とを平行に配置していることに起因する走査線及び容量配線の分離領域であり、A領域のゲート絶縁膜は本来の機能を与えられておらず、レイアウト効率を低下させる原因となっている。

【0018】さらに、上記構造の場合、容量配線抵抗に対する要求が厳しくなる問題がある。

【0019】通常の液晶表示装置駆動では、各走査線に接続されている複数の各画素に走査線方向で連続的に（点順次駆動の場合）、または同時に（線順次駆動の場合）映像信号の電位の書き込みが行われる。

【0020】この際、上記の画素構成では容量配線が走査線に平行に配置されている関係上、各走査線に接続されている複数の画素が共通の容量配線に接続されているため、該当する容量配線には画素書き込み電流に対応する対向電流が複数画素分、連続的にまたは同時に流れることになり、容量配線の電位変動による表示品質の低下を避けるためには容量配線抵抗を十分に下げておく必要がある。

【0021】しかし、容量配線抵抗の低抵抗化のために線幅を広げることは保持容量の占める面積を拡大する一方、画素の開口率を損なってしまっていた。

【0022】本発明は上述の問題に設計側から解決策を与えるものであり、高い開口率を得ながら十分な保持容量（Cs）を確保し、また同時に容量配線の負荷（画素書き込み電流）を時間的に分散させて実効的に低減する

6

事により、高い表示品質をもつ液晶表示装置を提供するものである。

【0023】

【課題を解決するための手段】本明細書で開示する発明の構成は、絶縁表面上に第1配線と、前記第1配線上に第1絶縁膜と、前記第1絶縁膜上に半導体膜と、前記半導体膜上に第2絶縁膜と、前記第2絶縁膜上に第2配線と、前記第1配線と接続するゲート電極と、前記第2配線及び前記ゲート電極上に第3絶縁膜と、前記第3絶縁膜上に前記半導体膜と接続する第3の配線とを有することを特徴とする半導体装置である。

【0024】また、上記構成において、前記第2絶縁膜を介して前記半導体膜と前記第2配線とが重なることを特徴としている。

【0025】また、上記各構成において、前記第2絶縁膜を介して前記第2配線と前記半導体膜とが重なる領域には、前記第2絶縁膜を誘電体とする保持容量が形成されることを特徴としている。

【0026】また、上記各構成において、前記半導体膜のうち、前記第2絶縁膜を介して前記第2配線と重なる領域には、半導体に導電型（p型またはn型）を付与する不純物元素が添加されていることを特徴としている。

【0027】また、上記各構成において、前記第3絶縁膜上に前記半導体膜と接する電極と、該電極と接続する画素電極とを有することを特徴としている。

【0028】また、上記各構成において、前記第1配線は、前記第2配線とは直交する方向に配置されていることを特徴としている。

【0029】また、上記各構成において、前記第1配線は、前記第3配線と直交する方向に配置されていることを特徴としている。即ち、画素部において、前記第2配線と前記第3配線は平行な方向（Y方向）に配置され、これらの配線に直交する方向（X方向）に第1配線が配置されている。

【0030】また、上記各構成において、前記ゲート電極は、前記第1配線と異なる層に形成されていることを特徴としている。

【0031】また、上記各構成において、前記ゲート電極は、島状にパターンニングされていることを特徴としている。

【0032】また、上記各構成において、前記第1配線は、走査線である。この走査線は、前記第1絶縁膜を介して前記半導体膜の一部と重なっており、半導体膜への光を遮る遮光膜の役目を果たす。

【0033】また、上記各構成において、前記第2配線は、容量配線である。

【0034】また、上記各構成において、前記第3配線は、信号線である。

【0035】また、上記各構成において、前記第2絶縁膜は、ゲート絶縁膜である。

(5)

7

【0036】また、上記各構成において、前記ゲート電極は、導電性を付与する不純物元素がドーピングされたpoly-Si、W、WSi_x、Al、Ta、Cr、またはMoから選ばれた元素を主成分とする膜またはそれらの積層膜からなることを特徴としている。

【0037】また、他の発明の構成は、信号線駆動回路に接続され互いに平行に所定の間隔を隔てて配置される複数の信号線と、走査線駆動回路に接続され互いに平行に所定の間隔を隔てて配置される複数の走査線と、前記信号線と平行に配置される容量配線とを有することを特徴とする半導体装置。

【0038】また、上記構成において、前記走査線は、前記信号線と直交することを特徴としている。

【0039】また、上記構成において、前記信号線と直交する走査線に接続されたゲート電極を有する薄膜トランジスタと、前記トランジスタと接続された画素電極とを有することを特徴としている。

【0040】また、上記各構成において、前記ゲート電極は、前記走査線と異なる層に形成されていることを特徴としている。

【0041】また、上記各構成において、前記ゲート電極は、島状にパターニングされていることを特徴としている。

【0042】また、上記構造を実現するための発明の構成は、絶縁表面を有する基板上に第1配線を形成する第1工程と、前記第1配線上に第1絶縁膜を形成する第2工程と、前記第1配線上に半導体膜を形成する第3工程と、前記半導体膜上に第2絶縁膜を形成する第4工程と、前記第1絶縁膜及び第2絶縁膜に選択的なエッチングを施して、前記第1配線に達する第1コンタクトホールを形成する第5工程と、前記第1コンタクトホールを通じて前記第1配線と接続し、且つ、前記第2絶縁膜上に前記半導体膜の一部と重なるゲート電極を形成する第6工程と、前記ゲート電極上に第3絶縁膜を形成する第7工程と、前記第2絶縁膜及び第3絶縁膜に選択的なエッチングを施して、前記半導体膜に達する第2コンタクトホールを形成する第8工程と、前記第2コンタクトホールを通じて前記半導体膜と接続した第3配線を前記第3絶縁膜上に形成する第9工程と、を有することを特徴とする半導体装置の作製方法である。

【0043】また、上記構成において、前記ゲート電極と同じ工程により前記半導体膜の一部と重なる第2配線を前記第2絶縁膜上に形成することを特徴としている。

【0044】また、上記構成において、前記半導体膜上に第2絶縁膜を形成する工程の後、前記第2配線と重なる前記第2絶縁膜を部分的に薄くする工程を有することを特徴としている。

【0045】また、上記構成において、前記第2絶縁膜はゲート絶縁膜、前記第1配線は走査線、前記第2配線は容量配線、前記第3配線は信号線である。

8

【0046】

【発明の実施の形態】本願発明の実施形態について、以下に説明する。

【0047】本発明は、開口率を向上させるとともに保持容量の増大を図るため、ゲート電極と異なる層に走査線を形成することを特徴としている。本発明の画素構成の一例を図1に示した。

【0048】図1において、ゲート電極106は、島状にパターニングされており、絶縁膜に形成されたコンタクトホール100cを通じて走査線102と接続している。また、半導体膜104は、コンタクトホール100aを通じて信号線109と接続している。また、半導体膜104は、コンタクトホール100bを通じて電極110と接続している。また、信号線109または電極110と接する半導体膜の領域をソース領域あるいはドレイン領域と呼んでいる。また、ソース領域とドレイン領域の間にはチャネル形成領域が形成されており、チャネル形成領域上にはゲート絶縁膜を介してゲート電極106が存在している。なお、簡略化のため、ソース領域、ドレイン領域、及びチャネル形成領域は図示していない。

【0049】また、本発明において、図1に示したようにゲート電極106の下層に走査線102を形成した場合、半導体膜104の下層に走査線102が設けられるので遮光膜として機能させることも可能である。また、保持容量は、下部電極を半導体膜とし、半導体膜を覆う絶縁膜を誘電体とし、上部電極を容量配線107として形成する。なお、半導体膜を覆う絶縁膜を部分的に薄膜化することで保持容量の増大を図ってもよい。

【0050】また、本構成によれば、各画素のTFTは、チャネル形成領域の上方及び下方に絶縁膜を介してゲート電極を備えたデュアルゲート構造とすることができ、第1絶縁膜を適切な膜厚に設定することにより、走査線と他の配線とで形成される寄生容量を抑制しながらTFTの特性を向上することができる。

【0051】また、本発明は従来（容量配線が走査線と平行）と異なり、容量配線が信号線と平行になるよう配置されていることを特徴としている。従って、駆動方式から各走査線に対応する画素には連続的に映像信号の書き込みが行われるが、この際該当する各画素はそれぞれ独立した容量配線で形成された保持容量と接続されているため隣接画素の書き込み電流による容量配線電位の変動を回避でき、良好な表示画像を得る事ができる。

【0052】また、従来は各走査線書き込み期間中の信号線電位（書き込み電位）の低下を防ぐために各信号線にはサンプルホールド容量が設けられていたが、本発明においては容量配線が信号線と平行で、且つ重なるよう配置されているため、信号線の寄生容量が増大して信号線電位の保持特性が向上することから周辺回路部にサンプルホールド容量を設ける必要がなくなり、従来と比べ

(6)

9

周辺回路を小型化することができる。

【0053】また、同じ理由により容量配線抵抗への要求性能が緩和されるため容量配線の配置やサイズ、膜厚の設計自由度が増し、また容量配線材料の選択の幅が広がることにより設計上の難度及び製造上の難度が下がり、より高い製造歩留まりを得ることにも繋がる。

【0054】以上の構成でなる本願発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

【0055】

【実施例】【実施例1】以下、本発明の実施例を投写型の点順次駆動の液晶表示装置を一例にとり説明する。

【0056】TFTをスイッチング素子として用いるアクティブマトリクス型液晶表示装置は、画素電極がマトリクス状に配置された基板(TFT基板)と、対向電極が形成された対向基板とを液晶層を介して対向配置した構造となっている。両基板間にはスペーサ等を介して所定の間隔に制御され、画素部の外周部にシール材を用いることで液晶層を封入している。

【0057】図4は、本実施例の液晶表示装置の概略を示す断面構造図である。図4において、101は基板(TFT基板)、102は走査線、103は第1絶縁膜、104は半導体膜、105はゲート絶縁膜(第2絶縁膜)、106はゲート電極、107は容量配線、108は第3絶縁膜、109及び111は信号線、または信号線から分岐された電極、110は第3絶縁膜に形成されたコンタクトホール(図示しない)を通じて半導体膜に接続され、TFTと画素電極とを接続するための電極である。

【0058】なお、本明細書中において「電極」とは、「配線」の一部であり、他の配線との電氣的接続を行う箇所、または半導体層と交差する箇所を指す。従って、説明の便宜上、「配線」と「電極」とを使い分けるが、「電極」という文言に「配線」は常に含まれているものとする。

【0059】なお、本明細書中では、TFTを、101～110で示した部分と定義している。また、109及び110においては、配線から分岐された電極であっても、配線であってもよい。

【0060】また、112はTFTを覆う第4絶縁膜、113はTFTの光劣化を防ぐ遮光膜、114は第5絶縁膜、115は、コンタクトホール100dを通じて電極110と接続された画素電極、116は液晶層117を配向させる配向膜である。

【0061】また、図4においては、対向基板120に、対向電極119と、配向膜118とを設けたが、必要に応じて遮光膜やカラーフィルタを設けてもよい。

【0062】この基板(TFT基板)101は、図2に示されるように画素部201と、その周辺に形成される走査線駆動回路202、信号線駆動回路203を備えてい

10

る。

【0063】走査線駆動回路202は、走査信号を順次転送するシフトレジスタによって主に構成されている。また、信号線駆動回路203は、シフトレジスタとシフトレジスタ出力に基づいて入力される映像信号をサンプリングした後、保持し信号線を駆動するサンプルホールド回路により主に構成されている。

【0064】画素部201には走査線駆動回路202に接続され互いに平行に所定の間隔で配置された複数の走査線(ゲート配線)207と、信号線駆動回路203に接続され互いに平行に所定の間隔で配置された複数の信号線208とが交差して配置されており、その交差するそれぞれの位置にTFT(図示しない)を配置するとともに、走査線と信号線とで区画される各領域に画素電極(図示しない)が配置されている。この構成から各画素電極はマトリクス状の配置となる。また、GND(接地)または固定電位206に接続された複数の容量配線209が、信号線208と平行に設けられている。なお、図2においては、簡略化のため信号線、走査線、及び容量配線を数本しか図示していない。

【0065】以下、図4に示した半導体装置の作製工程を簡略に示す。なお、説明には図3及び図1も用いる。

【0066】まず、基板101にはガラス基板の他に、石英基板、プラスチック基板を用いることができる。ガラス基板を用いる場合には、ガラス歪み点よりも10～20℃程度低い温度であらかじめ熱処理しておいても良い。また、基板101のTFTを形成する表面に、基板101からの不純物拡散を防ぐために、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜を形成するとよい。

【0067】次に、基板上に導電膜を形成し、パターニングを施すことにより走査線102を形成する。走査線102としては、導電型を付与する不純物元素がドーパされたpoly-SiやWSi_X(X=2.0～2.8)、Al、Ta、W、Cr、Mo等の導電性材料及びその積層構造を用いることができる。本実施例では、WSi_X(膜厚:100nm)/poly-Si(膜厚:50nm)の積層構造の高い遮光性を持つ導電性材料により所定の間隔で走査線102を形成した。

【0068】次に、走査線102を覆って500nm程度の膜厚を有する第1絶縁膜103を形成する。この第1絶縁膜103は、プラズマCVD法、またはスパッタ法等で形成されるシリコンを含む絶縁膜を用いる。また、この第1絶縁膜は、有機絶縁物材料膜、酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、またはこれらを組み合わせた積層膜で形成すれば良い。

【0069】次いで、25～80nm(好ましくは30～60nm)の厚さの半導体膜をプラズマCVD法やスパッタ法等の公知の方法で形成し、所望の形状にパターニングする。本実施例では、プラズマCVD法で非晶質

50

(7)

11

シリコン膜を50nm程度の厚さに成膜し、公知の方法により結晶化の工程を行って結晶質シリコン膜 (poly-Si) を形成した後、島状にパターニングを施した。本実施例では、結晶質シリコン膜 (poly-Si) を用いたが、半導体膜であれば特に限定されない。

【0070】なお、本明細書中において、「半導体膜」とは、単結晶半導体膜、結晶質半導体膜 (poly-Si 等)、非晶質半導体膜 (a-Si 等)、または微結晶半導体膜を指しており、さらにシリコンゲルマニウム膜などの化合物半導体膜をも含められている。

【0071】次いで、プラズマCVD法、またはスパッタ法等で形成されるシリコンを含む絶縁膜、又は半導体膜 (Si 膜等) の熱酸化で形成される酸化膜を用いて第2絶縁膜 (ゲート絶縁膜) 105 を形成する。この第2絶縁膜105は、必要に応じて二層あるいは三層といった複数の層から成る積層構造としても良い。

【0072】次いで、各島状の半導体膜を用いて映像信号書き込みスイッチの機能を得るTF Tを構成するため、半導体膜に選択的にn型またはp型を付与する不純物元素 (リンまたはボロン等) を公知の技術を用いて添加し、低抵抗のソース領域及びドレイン領域と、さらに低抵抗領域を形成する。この低抵抗領域はドレイン領域と同様に不純物元素 (代表的にはリンまたはボロン) を添加して低抵抗化されている半導体膜の一部である。なお、選択的に不純物元素を添加する工程順序は特に限定されず、例えば、第1絶縁膜形成前、ゲート電極形成前、またはゲート電極形成後であればよい。加えて、LDD領域やオフセット領域を回路に応じて形成する構成としてもよい。なお、簡略化のために、各領域の図示は行っていない。

【0073】こうして、半導体膜104にソース領域とドレイン領域とに挟まれたチャネル形成領域が形成される。

【0074】次いで、第1絶縁膜103及び第2絶縁膜105に選択的なエッチングを施して走査線102に達する第1コンタクトホール100c (図3 (b) 中に示した) を形成する。

【0075】次いで、第2絶縁膜105上に導電膜を形成し、パターニングを施すことによりゲート電極106及び容量配線107を形成する。ゲート電極106及び容量配線107は、導電型を付与する不純物元素がドーパされたpoly-SiやWSi_x (X=2.0~2.8)、Al、Ta、W、Cr、Mo等の導電性材料及びその積層構造により300nm程度の膜厚で形成する。また、ゲート電極106及び容量配線107は単層で形成しても良いが、必要に応じて二層あるいは三層といった複数の層から成る積層構造としても良い。この際、島状に配置される各ゲート電極は第1絶縁膜103及び第2絶縁膜105に形成された第1コンタクトホール100cを介して走査線102に電氣的に接続する。

12

【0076】また、各画素のチャネル形成領域上には第2絶縁膜105を介して島状のゲート電極106が配置される。また、低抵抗領域上には第2絶縁膜105を介して容量配線107が配置される。なお、容量配線107と重なる第2絶縁膜105の領域を部分的に薄膜化する工程を加えて保持容量の増大を図ってもよい。また、容量配線107は信号線方向に各画素連続的に配置し、画素部外で電氣的に接地、または固定電位に接続する。

【0077】次いで、ゲート電極106及び容量配線107を覆う第3絶縁膜108を形成する。この第3絶縁膜108は、プラズマCVD法、またはスパッタ法等で形成されるシリコンを含む絶縁膜を用いる。また、この第3絶縁膜108は、酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、またはこれらを組み合わせた積層膜で形成すれば良い。

【0078】次いで、第2絶縁膜105及び第3絶縁膜108に選択的なエッチングを施して半導体膜 (ソース領域、またはドレイン領域) に達する第2コンタクトホール100a (図3 (a) 中)、100b (図3 (b) 中) を形成する。

【0079】次いで、第3絶縁膜108上にAl、W、Ti、TiNを主成分とする膜、またはそれらの積層構造を有する導電膜 (膜厚: 500μm) を形成し、パターニングを施すことにより信号線109、111と、後に形成される画素電極と接続するための島状の電極110を形成する。この信号線109、111は、半導体膜に達する第2コンタクトホール100a、100bを通じてソース領域あるいはドレイン領域と接続する。同様に島状の電極110は、半導体膜に達する第2コンタクトホール100aを通じてソース領域あるいはドレイン領域と接続する。また、信号線109、111は容量線107と平行な方向に配置する。

【0080】また、島状の電極110は、信号線109と隔離して配置される。ただし、信号線109と島状の電極110とが両方、ソース領域に接続されることはない。同様に、信号線109と島状の電極110とが両方、ドレイン領域に接続されることはない。

【0081】この段階での画素上面図が図1に相当し、図1中のA-A'点線に沿って切断した概略断面構造図が図3 (a) に相当し、B-B'点線に沿って切断した概略断面構造図が図3 (b) に相当する。

【0082】次いで、信号線109及び島状の電極110を覆う第4絶縁膜112を形成する。この第4絶縁膜112は、有機絶縁物材料膜、酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、またはこれらを組み合わせた積層膜で形成すれば良い。

【0083】次いで、第4絶縁膜112上にTi、Al、W、Cr、または黑色樹脂等の高い遮光性を持つ膜を所望の形状にパターニングして遮光膜113を形成する。この遮光膜113は画素の開口部以外を遮光するよ

(8)

13

うに網目状に配置する。

【0084】本実施例において、遮光膜113は電氣的にフローティングとなるが遮光膜材料に低抵抗膜を選んだ場合、表示部の外側で遮光膜を任意の電位に制御する事も可能である。

【0085】次いで、遮光膜113上に第5絶縁膜114を形成する。この第5絶縁膜114は、有機絶縁物材料膜で形成すれば良い。なお、第5絶縁膜114を有機絶縁物材料で形成することにより、表面を良好に平坦化させることができる。また、有機樹脂材料は一般に誘電率が低いので、寄生容量を低減するできる。しかし、吸湿性があり保護膜としては適さないもので、酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜などと組み合わせた積層構造としても良い。

【0086】次いで、第4絶縁膜112及び第5絶縁膜114に選択的なエッチングを行ない、島状の電極に達する第3コンタクトホール100dを形成する。図4では便宜上、第3コンタクトホール100dを点線で図示した。

*

【表2】

Si層: min. Size=0.8 μ m, min. Spacing=1.5 μ m
ゲート電極: min. Size=1.0 μ m, min. Spacing=1.5 μ m
走査線とゲート電極とのコンタクトホール: min. Size=1 μ m□
コンタクトホールとゲート電極とのmargin=1.0 μ m
走査線: min. Size=1.5 μ m, min. Spacing=1.5 μ m
信号線とSi層とのコンタクトホール: min. Size=1 μ m□
コンタクトホールとSi層とのmargin=1.0 μ m
コンタクトホールと走査線(ゲート電極)との間隔min. Spacing=1.3 μ m
信号線: min. Size=1.5 μ m, min. Spacing=1.5 μ m
コンタクトホールと信号線とのmargin=1.3 μ m
画素サイズ: 19.2 μ m□
画素TFT: L=1.5 μ m, W=0.8 μ m, シングルゲート
走査線: 配線幅min. Size=1.0 μ m
走査線: Si層乗り越え部における配線幅min. Size=1.5 μ m
容量配線: min. Size=2.0 μ m

【0091】本実施例では、画素領域に新たにゲート電極106と走査線102とを接続するコンタクトホール100cのための領域を設ける必要がある。また、本実施例では島状Si膜のチャネル形成領域周辺部を遮光する膜は上部遮光膜のみとなるため、上部遮光膜を備えた構造とすることが望ましい。

【0092】また、本構成によれば走査線102がチャネル形成領域及びその周辺部に対する下部遮光膜として機能するため液晶層117から入射した光がTFT基板の下部界面で反射し、チャネル形成領域及びその周辺部に入射してTFTの光リークを発生することを防ぐことができ、より良好な表示品質を得る事が可能である。

【0093】〔実施例2〕本実施例では、実施例1に示したアクティブマトリクス型液晶表示装置の構成を図5の斜視図を用いて説明する。なお、実施例1と対応する部分は、同じ符号を用いている。

【0094】図5においてアクティブマトリクス基板は、基板101上に形成された、画素部と、走査線駆動回路802と、信号線駆動回路803とその他の信号処

14

* 【0087】次いで、ITO等の透明導電体膜を形成し、パターニングを施すことにより画素電極115を形成する。画素電極115は、第3コンタクトホール100dを通じて島状の電極110と接続する。各画素電極はそれぞれ独立に且つ画素開口部を覆うように配置される。

【0088】こうして形成したTFT基板に液晶層117を配向させる配向膜116を形成し、公知のセル組み技術を用いて、対向電極119と配向膜118とが設けられた対向基板120と貼り合わせた後、液晶材料を注入、封止して両基板間に液晶層が保持された液晶セルを完成させた。

【0089】以上のような作製工程を用い、さらに表2のデザインルールに従って配線及び半導体膜等を配置することによって、236.9 μ m²の画素開口領域の面積(開口率64.3%)と保持容量領域の面積62.8 μ m²が得られた。

【0090】

理回路とで構成される。画素部には画素TFT800と保持容量200が設けられ、画素部の周辺に設けられる駆動回路はCMOS回路を基本として構成されている。

【0095】また、容量配線107は信号線109と平行な方向に設けられ、保持容量200の上部電極として機能している。また、容量配線107は接地または固定電位に接続する。

【0096】走査線駆動回路802と信号線駆動回路803からは、それぞれ走査線102と信号線109が画素部に延在し、画素TFT800に接続している。また、フレキシブルプリント配線板(Flexible Printed Circuit: FPC)804が外部入力端子805に接続していて画像信号などを入力するのに用いる。FPC804は補強樹脂によって強固に接着されている。そして接続配線806、807でそれぞれの駆動回路に接続している。また、対向基板808には図示していないが、遮光膜や透明電極が設けられている。

【0097】〔実施例3〕本願発明を実施して形成された画素マトリクス回路は様々な電気光学装置(アクティ

(9)

15

ブマトリクス型液晶ディスプレイ、アクティブマトリクス型ELディスプレイ、アクティブマトリクス型ECディスプレイ)に用いることができる。即ち、それら電気光学装置を表示部として組み込んだ電子機器全てに本願発明を実施できる。

【0098】その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター(リア型またはフロント型)、ヘッドマウントディスプレイ(ゴーグル型ディスプレイ)、カーナビゲーション、パーソナルコンピュータ、携帯情報端末(モバイルコンピュータ、携帯10 電話または電子書籍等)などが挙げられる。それらの一例を図6及び図7に示す。

【0099】図6(A)はパーソナルコンピュータであり、本体2001、画像入力部2002、表示部2003、キーボード2004で構成される。本願発明を表示部2003に適用することができる。

【0100】図6(B)はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本願発明を表示部2102に適用するこ15 ができる。

【0101】図6(C)はモバイルコンピュータ(モバイルコンピュータ)であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示装置2205で構成される。本願発明は表示部2205に適用できる。

【0102】図6(D)はゴーグル型ディスプレイであり、本体2301、表示部2302、アーム部2303で構成される。本発明は表示部2302に適用することが20 できる。

【0103】図6(E)はプログラムを記録した記録媒体(以下、記録媒体と呼ぶ)を用いるプレーヤーであり、本体2401、表示部2402、スピーカ部2403、記録媒体2404、操作スイッチ2405で構成される。なお、この装置は記録媒体としてDVD(Digital Versatile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部2402に適用することが25 できる。

【0104】図6(F)はデジタルカメラであり、本体2501、表示部2502、接眼部2503、操作スイッチ2504、受像部(図示しない)で構成される。本願発明を表示部2502に適用することができる。

【0105】図7(A)はフロント型プロジェクターであり、投射装置2601、スクリーン2602等を含む。本発明は投射装置2601の一部を構成する液晶表示装置2808に適用することができる。

【0106】図7(B)はリア型プロジェクターであり、本体2701、投射装置2702、ミラー2703、スクリーン2704等を含む。本発明は投射装置2 30

16

702の一部を構成する液晶表示装置2808に適用することができる。

【0107】なお、図7(C)は、図7(A)及び図7(B)中における投射装置2601、2702の構造の一例を示した図である。投射装置2601、2702は、光源光学系2801、ミラー2802、2804～2806、ダイクロイックミラー2803、プリズム2807、液晶表示装置2808、位相差板2809、投射光学系2810で構成される。投射光学系2810は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図7(C)中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IRフィルム等の光学系を設けてもよい。

【0108】また、図7(D)は、図7(C)中における光源光学系2801の構造の一例を示した図である。本実施例では、光源光学系2801は、リフレクター2811、光源2812、レンズアレイ2813、2814、偏光変換素子2815、集光レンズ2816で構成される。なお、図7(D)に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IRフィルム等の光学系を設けてもよい。

【0109】以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1または実施例2のどのような組み合わせからなる構成を用いても実現することが30 できる。

【0110】〔実施例4〕実施例1はシングルゲートのTFTの例を示したが本実施例ではダブルゲートのTFTを用いた例を示す。ただし、基本的な構造は同一である。

【0111】まず、絶縁表面を有する基板401上に導電膜を形成し、パターニングを施すことにより走査線402を形成する。(図8(A))この走査線402は後に形成される活性層を光から保護する遮光層としても機能する。ここでは基板401として石英基板を用い、走査線402としてポリシリコン膜(膜厚50nm)とタングステンシリサイド(W-Si)膜(膜厚100nm)の積層構造を用いた。また、ポリシリコン膜はタングステンシリサイドから基板への汚染を保護するものである。

【0112】次いで、走査線402を覆う絶縁膜403a、403bを膜厚100～1000nm(代表的には300～500nm)で形成する。(図8(B))ここではCVD法を用いた膜厚100nmの酸化シリコン膜とLPCVD法を用いた膜厚280nmの酸化シリコン膜を積層させた。

(10)

17

【0113】次いで、非晶質半導体膜を膜厚10～100 nmで形成する。ここでは膜厚69 nmの非晶質シリコン膜（アモルファスシリコン膜）をLPCVD法を用いて形成した。次いで、この非晶質半導体膜を結晶化させる技術として特開平8-78329号公報記載の技術を用いて結晶化させた。同公報記載の技術は、非晶質シリコン膜に対して結晶化を助長する金属元素を選択的に添加し、加熱処理を行うことで添加領域を起点として広がる結晶質シリコン膜を形成するものである。ここでは結晶化を助長する金属元素としてニッケルを用い、脱水素化のための熱処理（450℃、1時間）の後、結晶化のための熱処理（600℃、12時間）を行った。

【0114】次いで、TFTの活性層とする領域からNiをゲッタリングする。TFTの活性層とする領域をマスク（酸化シリコン膜）で覆い、結晶質シリコン膜の一部にリン（P）を添加し、熱処理（窒素雰囲気下で600℃、12時間）を行った。

【0115】次いで、マスクを除去した後、パターニングを行い結晶質シリコン膜の不要な部分を除去して、半導体層404を形成する。（図8（C1））なお、半導体層404を形成した後の画素上面図を図8（C2）に示す。図8（C2）において、点線A-A'で切断した断面図が図8（C1）に相当する。

【0116】次いで、保持容量を形成するため、マスク405を形成して半導体層の一部（保持容量とする領域）406にリンをドーピングする。（図9（A））

【0117】次いで、マスク405を除去し、半導体層を覆う絶縁膜を形成した後、マスク407を形成して保持容量とする領域406上の絶縁膜を除去する。（図9（B））

【0118】次いで、マスク407を除去し、熱酸化を行って絶縁膜（ゲート絶縁膜）408aを形成する。この熱酸化によって最終的なゲート絶縁膜の膜厚は80 nmとなった。なお、保持容量とする領域上に他の領域より薄い絶縁膜408bを形成した。（図9（C1））ここでの画素上面図を図9（C2）に示す。図9（C2）において、点線B-B'で切断した断面図が図9（C1）に相当する。また、図9中の鎖線内で示した領域は、薄い絶縁膜408bが形成されている部分である。

【0119】次いで、TFTのチャネル領域となる領域にp型またはn型の不純物元素を低濃度に添加するチャネルドーピング工程を全面または選択的に行った。このチャネルドーピング工程は、TFTしきい値電圧を制御するための工程である。なお、ここではジボラン（B₂H₆）を質量分離しないでプラズマ励起したイオンドーピング法でボロンを添加した。もちろん、質量分離を行うイオンインプランテーション法を用いてもよい。

【0120】次いで、絶縁膜408a、及び絶縁膜403a、403b上にマスク409を形成し、走査線402に達するコンタクトホールを形成する。（図10

18

（A））そして、コンタクトホールの形成後、マスクを除去する。

【0121】次いで、導電膜を形成し、パターニングを行ってゲート電極410および容量配線411を形成する。（図10（B））ここでは、リンがドーピングされたシリコン膜（膜厚150 nm）とタングステンシリサイド（膜厚150 nm）との積層構造を用いた。なお、保持容量は、絶縁膜408bを誘電体とし、容量配線411と半導体層の一部406とで構成されている。

【0122】次いで、ゲート電極410および容量配線411をマスクとして自己整合的にリンを低濃度に添加する。（図10（C1））ここでの画素上面図を図10（C2）に示す。図10（C2）において、点線C-C'で切断した断面図が図10（C1）に相当する。この低濃度に添加された領域のリンの濃度が、 $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ 、代表的には $3 \times 10^{17} \sim 3 \times 10^{18} \text{ atoms/cm}^3$ となるように調整する。

【0123】次いで、マスク412を形成してリンを高濃度に添加し、ソース領域またはドレイン領域となる高濃度不純物領域413を形成する。（図11（A））この高濃度不純物領域のリンの濃度が $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ （代表的には $2 \times 10^{20} \sim 5 \times 10^{20} \text{ atoms/cm}^3$ ）となるように調整する。なお、半導体層404のうち、ゲート電極410と重なる領域はチャネル形成領域414となり、マスク412で覆われた領域は低濃度不純物領域415となりLDD領域として機能する。そして、不純物元素の添加後、マスク412を除去する。

【0124】次いで、ここでは図示しないが、画素と同一基板上に形成される駆動回路に用いるpチャネル型TFTを形成するために、マスクでnチャネル型TFTとなる領域を覆い、ボロンを添加してソース領域またはドレイン領域を形成する。

【0125】次いで、マスク412を除去した後、ゲート電極410および容量配線411を覆うパッシベーション膜416を形成する。ここでは、酸化シリコン膜を70 nmの膜厚で形成した。次いで、半導体層にそれぞれの濃度で添加されたn型またはp型不純物元素を活性化するための熱処理工程を行う。ここでは850℃、30分の加熱処理を行った。

【0126】次いで、有機樹脂材料からなる層間絶縁膜417を形成する。ここでは膜厚400 nmのアクリル樹脂膜を用いた。次いで、半導体層に達するコンタクトホールを形成した後、電極418及びソース配線419を形成する。本実施例では電極418及びソース配線419を、Ti膜を100 nm、Tiを含むアルミニウム膜を300 nm、Ti膜150 nmをスパッタ法で連続して形成した3層構造の積層膜とした。（図11（B1））なお、図11（B2）において点線D-D'で切

50

(11)

19

断した断面図が図11(B1)に相当する。

【0127】次いで、水素化処理をおこなった後、アクリルからなる層間絶縁膜420を形成する。(図12(A1))次いで、層間絶縁膜420上に遮光性を有する導電膜100nmを成膜し、遮光層421を形成する。次いで、層間絶縁膜422を形成する。次いで、電極418に達するコンタクトホール形成する。次いで、100nmの透明導電膜(ここでは酸化インジウム・スズ(ITO)膜)を形成した後、パターニングして画素電極423、424を形成する。図12(A2)において、点線E-E'で切断した断面図が図12(A1)に相当する。

【0128】こうして画素部には、表示領域(画素サイズ $26\mu\text{m}\times 26\mu\text{m}$)の面積(開口率76.5%)を確保しつつ、nチャンネル型TFTでなる画素TFTが形成され、十分な保持容量(51.5fF)を得ることができる。

【0129】なお、本実施例は一例であって本実施例の工程に限定されないことはいうまでもない。例えば、各導電膜としては、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)、クロム(Cr)、シリコン(Si)から選ばれた元素、または前記元素を組み合わせた合金膜(代表的には、Mo-W合金、Mo-Ta合金)を用いることができる。また、各絶縁膜としては、酸化シリコン膜や窒化シリコン膜や酸化窒化シリコン膜や有機樹脂材料(ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB(ベンゾシクロブテン)等)膜を用いることができる。

【0130】また、こうして得られたTFTの特性は、良好な値を示した。図13にそのTFT特性(V-I特性)を示す。特に本発明の構造はデュアルゲート構造となっているため、S値は105.8(mV/déc)と優れた値を示している。また、本発明の構造とすることによって、V-I特性グラフにおける立ち上がり点での電圧値を示すしきい値(V_{th})は、V_d=0.1Vである場合に0.946V、V_d=5Vである場合に0.886Vとなっており、その差は0.06と非常に小さい。この差が小さければ小さいほど短チャネル効果が抑えられていると言える。また、移動度(μ_{FE})は220(cm^2/Vs)と優れたものとなっている。

【0131】〔実施例5〕本実施例は、開口率を向上させるとともに保持容量の増大を図るため、ゲート電極と異なる層に走査線502aを形成し、さらに走査線502aと同じ層に容量電極502bを形成することの特徴としている。本発明の画素構成の一例を図14、図15に示した。

【0132】なお、図14中のA-A'点線に沿って切断した概略断面構造図が図15(a)に相当し、B-B'点線に沿って切断した概略断面構造図が図15(b)に相当する。

20

【0133】図14において、ゲート電極506は、島状にパターニングされており、絶縁膜に形成されたコンタクトホール500cを通じて走査線502aと接続している。また、半導体膜504は、コンタクトホール500aを通じて信号線509と接続している。また、半導体膜504は、コンタクトホール500bを通じて電極510と接続している。また、信号線509または電極510と接する半導体膜の領域をソース領域あるいはドレイン領域と呼んでいる。また、ソース領域とドレイン領域との間にはチャネル形成領域が形成されており、チャネル形成領域上にはゲート絶縁膜を介してゲート電極506が存在している。なお、簡略化のため、ソース領域、ドレイン領域、及びチャネル形成領域は図示していない。

【0134】また、本実施例において、図14に示したようにゲート電極506の下層に走査線502aを形成した場合、半導体膜504の下層に走査線502aが設けられるので遮光膜として機能させることも可能である。また、保持容量は、下部電極を半導体膜とし、半導体膜を覆う絶縁膜を誘電体とし、上部電極を容量配線507として形成する。なお、半導体膜を覆う絶縁膜を部分的に薄膜化することで保持容量の増大を図ってもよい。

【0135】さらに、本実施例の保持容量は、図15に示したように、容量配線507に接続している容量電極502bも、絶縁膜503を誘電体として保持容量を形成することができる。そのため、保持容量を効率よく確保することができ、この画素構造を用いた液晶表示装置のコントラストが向上する。

【0136】また、本実施例の構成によれば、各画素のTFTは、チャネル形成領域の上方及び下方に絶縁膜を介してゲート電極を備えたデュアルゲート構造とすることができ、第1絶縁膜を適切な膜厚に設定することにより、走査線と他の配線とで形成される寄生容量を抑制しながらTFTの特性を向上することができる。

【0137】また、本実施例で示した画素構造の作製方法は、実施例1または実施例4とほぼ同一であり、ここではその説明を省略する。

【0138】なお、本実施例は実施例1乃至4のいずれか一と自由に組み合わせることができる。

【0139】〔実施例6〕本実施例は、画素サイズを縮小した際、開口率を向上させるとともに保持容量の増大を図る。本実施例は、遮光膜と画素電極とで保持容量を形成することの特徴としている。

【0140】図16は、本実施例の液晶表示装置の概略を示す断面構造図である。図16において、601は基板(TFT基板)、602は走査線、603は第1絶縁膜、604は半導体膜、605はゲート絶縁膜(第2絶縁膜)、606bはゲート電極、606cはゲート配線、606aは容量配線、607は第3絶縁膜、608

(12)

21

は第3絶縁膜に形成されたコンタクトホールを通じて半導体膜604に接続され、TFTと画素電極612とを接続するための電極である。

【0141】また、609はTFTを覆う第4絶縁膜、610はTFTの光劣化を防ぐ遮光膜、611は第5絶縁膜、612は、コンタクトホールを通じて電極608と接続された画素電極、613は液晶層614を配向させる配向膜である。

【0142】また、図16においては、対向基板617に、対向電極616と、配向膜615とを設けたが、必要に応じて遮光膜やカラーフィルタを設けてもよい。

【0143】図16に示すように、本実施例の保持容量は、絶縁膜605を誘電体とし、容量配線606aと半導体膜604とで形成した第1の保持容量と、さらに絶縁膜611を誘電体とし、遮光膜610と画素電極612とで形成した第2の保持容量とで構成される。なお、絶縁膜611としては有機樹脂膜を用いてもよいし、酸化窒化シリコン膜や酸化シリコン膜等の無機絶縁膜を用いてもよく、その膜厚は実施者が適宜設計すればよい。

【0144】例えば、画素サイズを $14\mu\text{m} \times 14\mu\text{m}$ とした場合においても、図16に示す断面構造とし、図17(B)に示すような上面図に設計することで十分な保持容量(100fF程度)を確保することができ、かつ開口率を48.7%とすることができた。

【0145】なお、図17(A)は、電極608を形成した段階での上面図であり、図17(B)は、さらに遮光膜610と画素電極612とを形成した段階での上面図であり、図16に対応する箇所には同じ符号を用いた。

【0146】なお、本実施例は実施例1乃至5のいずれか一と自由に組み合わせることができる。

【0147】

【発明の効果】本発明により、従来では走査線内の配線領域及び走査線・容量配線分離領域として使われていた

22

領域(図19中のA領域に相当する)を保持容量として使うことができること、また各走査線に接続されている複数の画素が各々独立した容量配線を持つ構成になることにより各画素は隣接する画素と連続的、又は同時に信号書き込みが行われる場合にも隣接画素の書き込み電流の影響を受けず、さらに各容量配線は電流負荷が時間的に分散される事から実効負荷が低減、容量配線抵抗への要求が緩和される。

【0148】従って、本発明を用いた液晶表示装置によれば、高い開口率と各画素内に十分な表示信号電位を保持する保持容量を併せ持つ液晶表示素子が得られ、装置の小型化、省電力化を達成しながら良好な表示画像を得る事ができる。

【図面の簡単な説明】

【図1】 画素上面図を示す図。

【図2】 TFT基板の回路図を示す図。

【図3】 断面構造図を示す図。

【図4】 アクティブマトリクス型液晶表示装置の断面構造図を示す図。

【図5】 AM-LCDの外観を示す図。

【図6】 電子機器の一例を示す図。

【図7】 電子機器の一例を示す図。

【図8】 画素部の作製工程断面図および上面図。

【図9】 画素部の作製工程断面図および上面図。

【図10】 画素部の作製工程断面図および上面図。

【図11】 画素部の作製工程断面図および上面図。

【図12】 画素部の作製工程断面図および上面図。

【図13】 TFT特性を示す図。

【図14】 画素上面図を示す図。

【図15】 断面構造図を示す図。

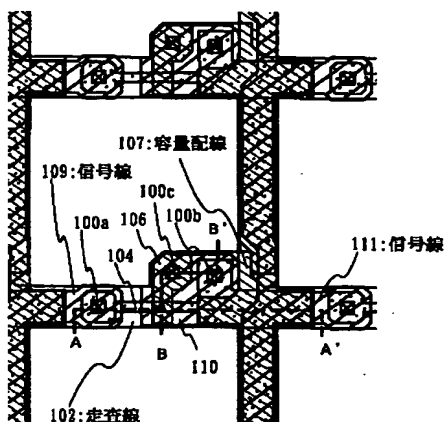
【図16】 断面構造図を示す図。

【図17】 画素上面図を示す図。

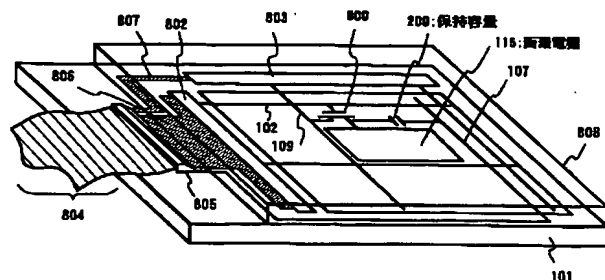
【図18】 従来の画素上面図。

【図19】 従来の画素開口領域を示す図。

【図1】

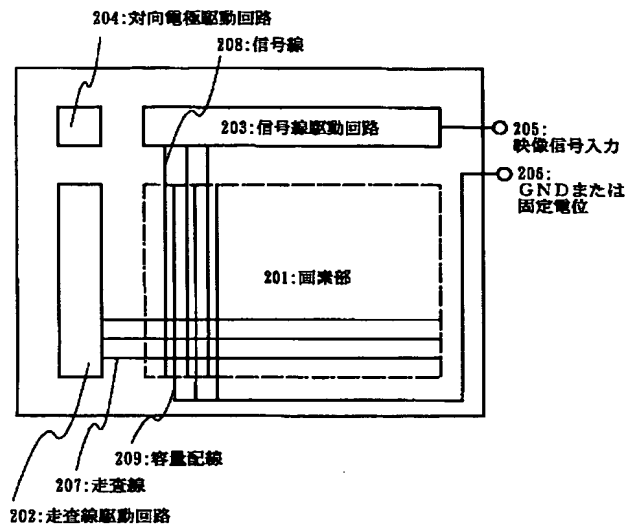


【図5】

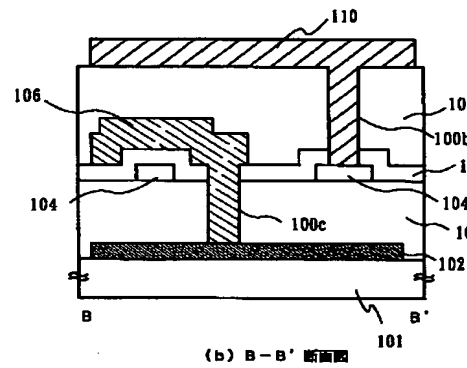
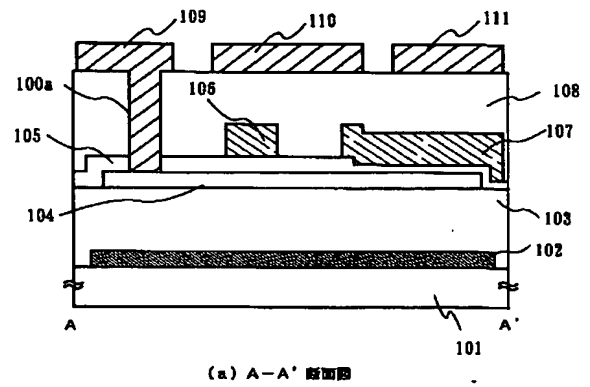


(13)

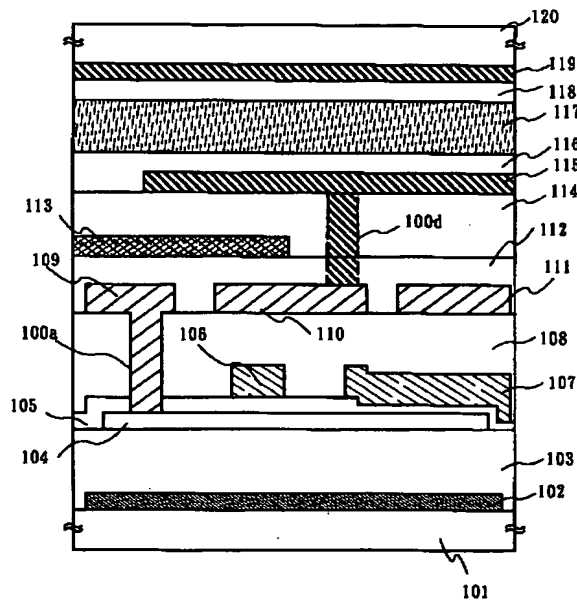
【図2】



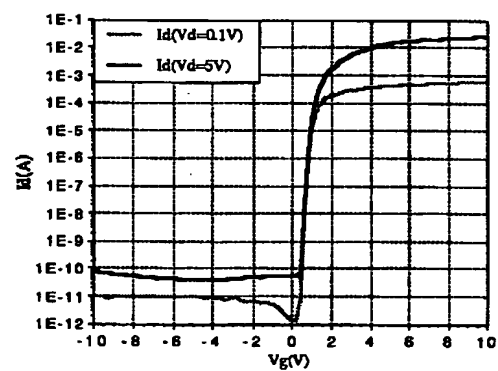
【図3】



【図4】

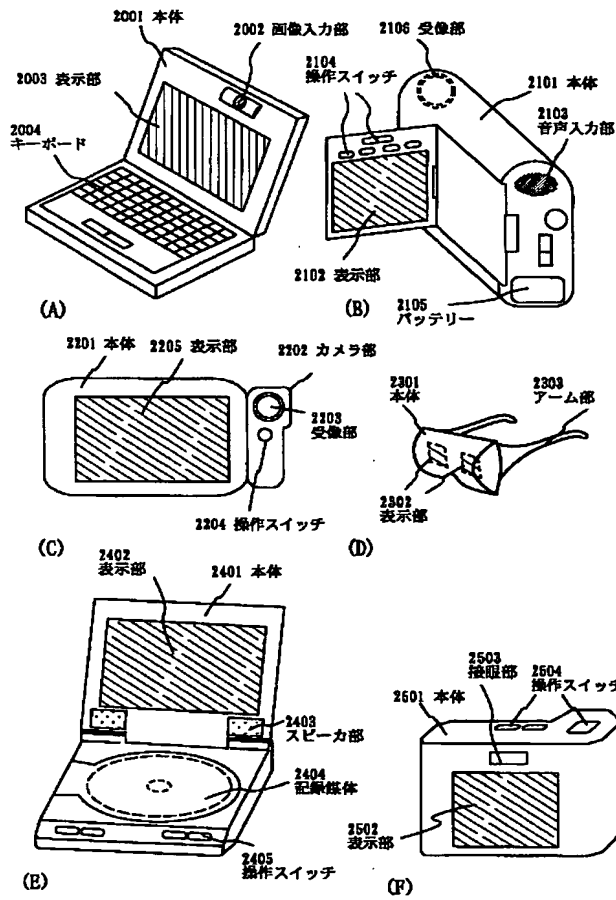


【図13】

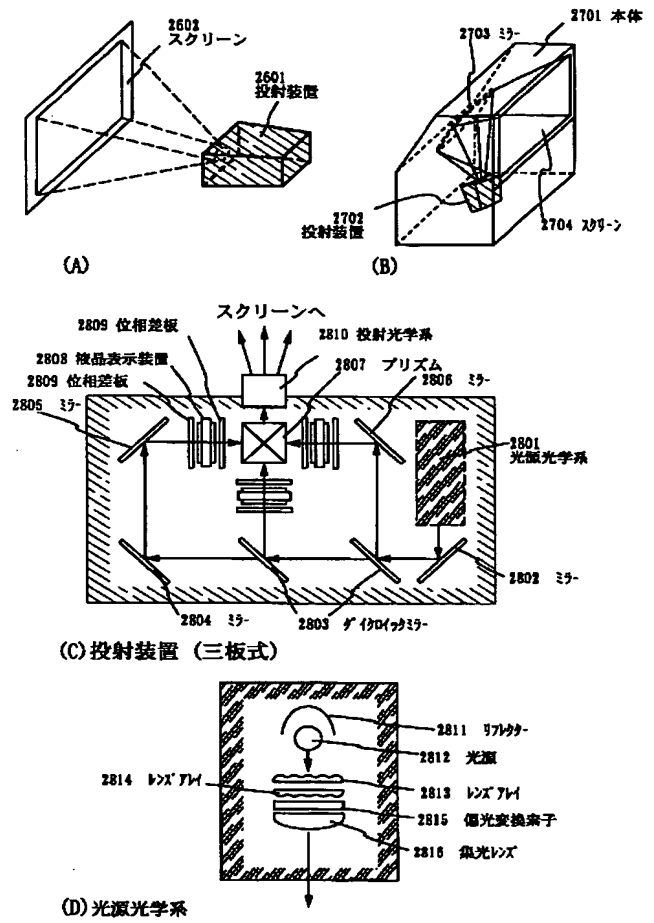


(14)

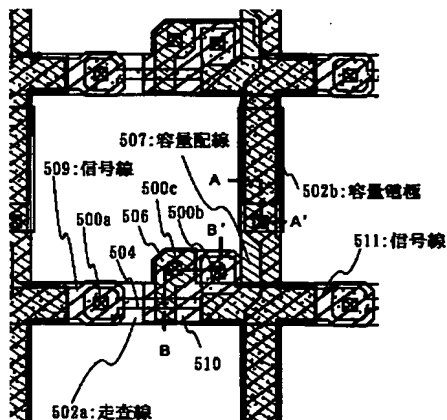
【図6】



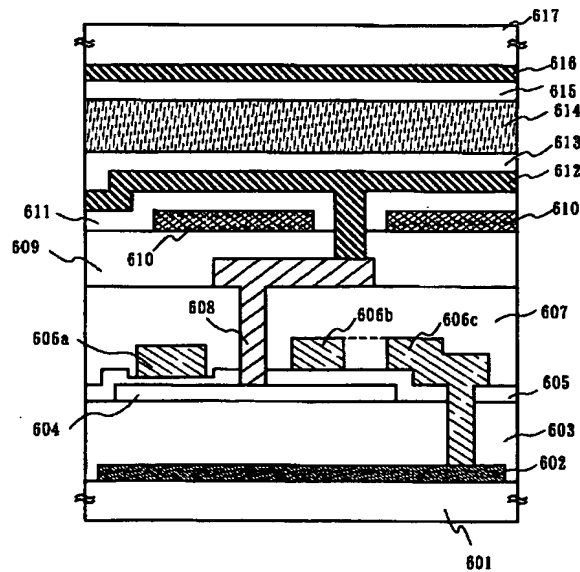
【図7】



【図14】

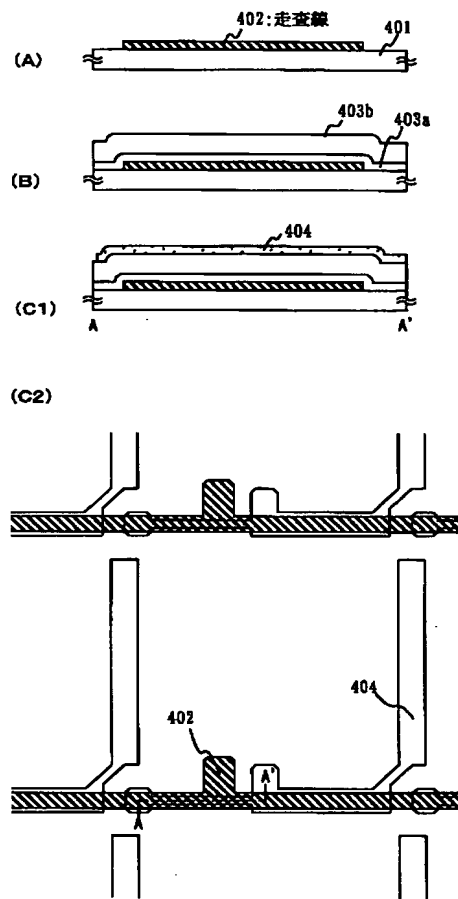


【図16】

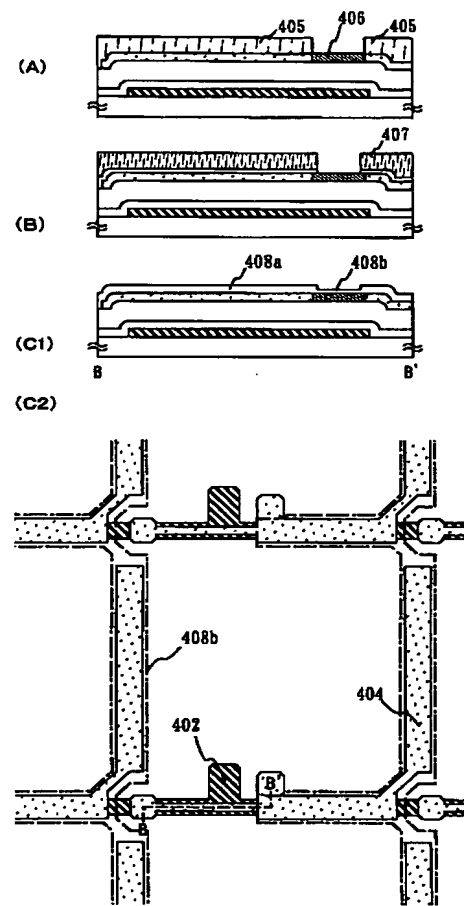


(15)

【図8】

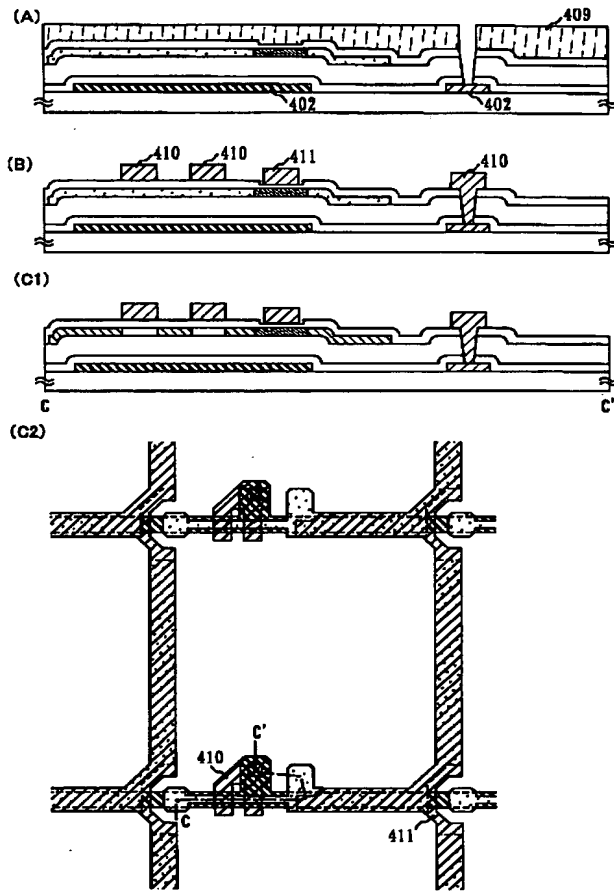


【図9】

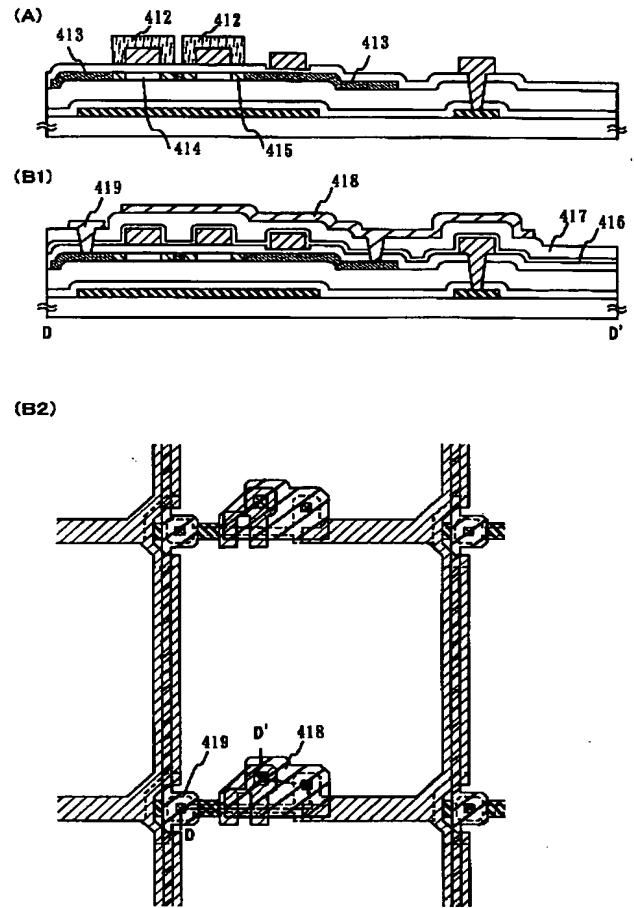


(16)

【図10】

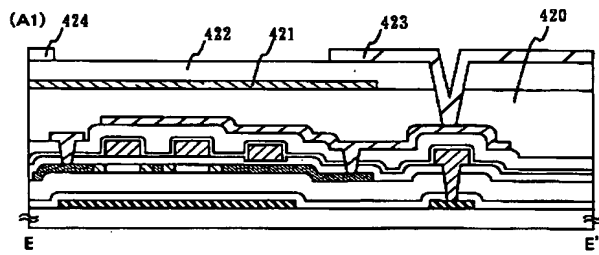


【図11】

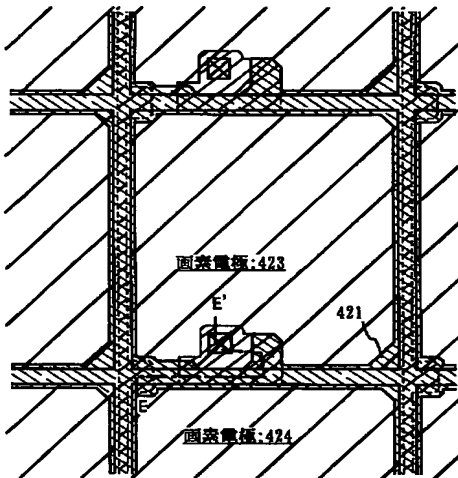


(17)

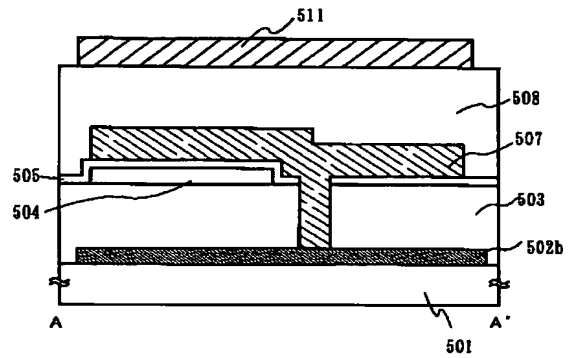
【図12】



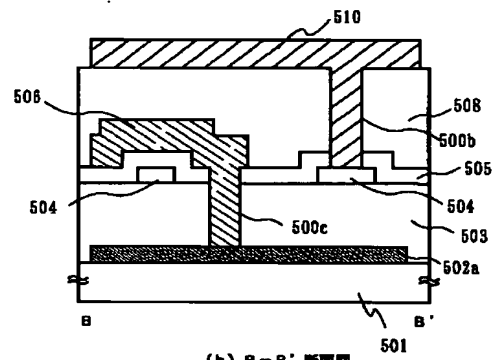
(A2)



【図15】



(a) A-A' 断面図

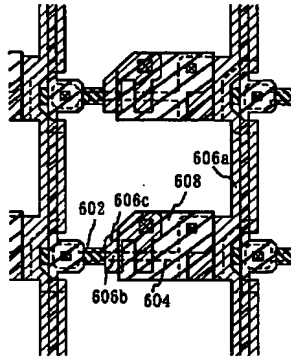


(b) B-B' 断面図

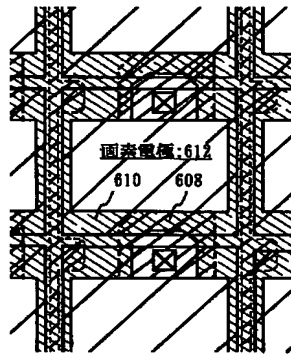
(18)

【図17】

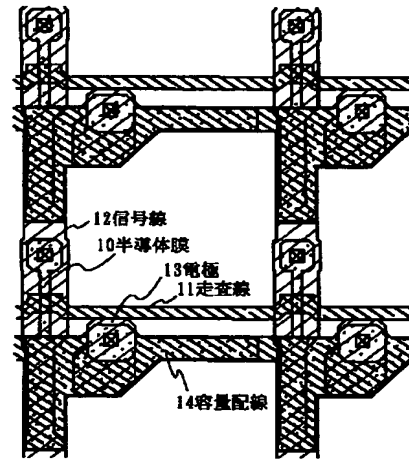
(A)



(B)



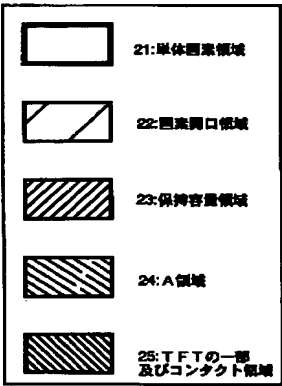
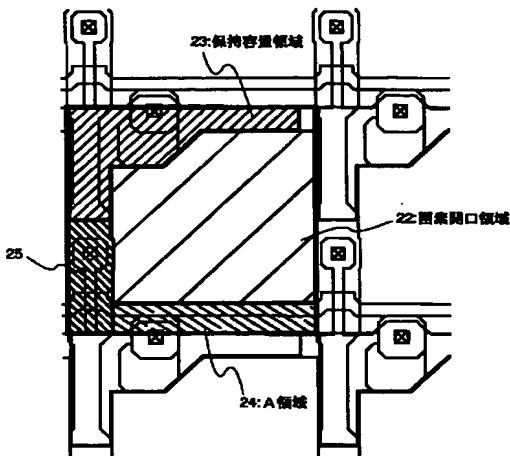
【図18】



	10: 半導体膜
	12: 信号線
	13: 電極
	11: 電源線
	14: 容量配線

(19)

【図19】



フロントページの続き

(51) Int. Cl. 7		識別記号	FI	テマコード* (参考)	
H 0 1 L				Z	
	21/768		H 0 1 L 21/88	W	
	27/04		21/90	C	
	21/822		27/04		
H 0 4 N	5/66	1 0 2			

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.